

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

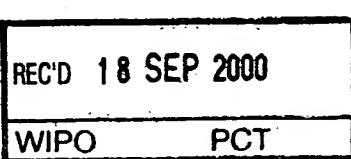
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS.

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)



PCT/PT00/00003
25 AUG 00 (25.08.00)

S. R.

PORTUGAL
MINISTÉRIO DA ECONOMIA

4

PT00/00003

INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL

**CERTIFICADO DE PEDIDO
DE PATENTE DE INVENÇÃO**

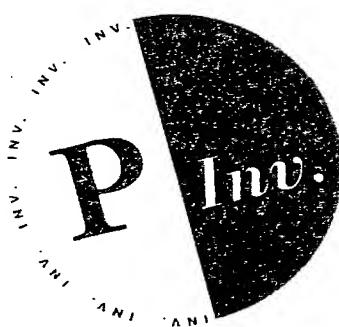
Certifica-se que os documentos em anexo estão conforme o original do
pedido de patente de invenção nº. 102297.

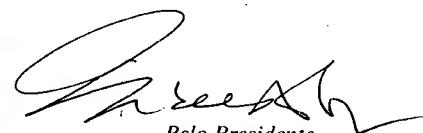
O pedido foi apresentado no INPI no dia 28 de Abril de 1999.

Lisboa, 06 de Julho de 2000.

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)




Pelo Presidente
do Instituto Nacional da Propriedade Industrial



INSTITUTO NACIONAL
DA PROPRIEDADE INDUSTRIAL

Campo das Cebolas
1100 LISBOA
Telef.: (01) 888 51 51/2/3 - Fax: (01) 887 53 08 - 886 00 66
E-mail : inpi @ mail. telepac. pt

Campo das Cebolas - 1149 - 035 LISBOA

Telef.: 01 888 51 51 / 2 / 3

Linha azul: 01 888 10 78 • Fax: 01 887 53 08 - 886 00 66

E-mail: inpi @ mail. telepac. pt



INSTITUTO NACIONAL
DA PROPRIEDADE INDUSTRIAL
MINISTÉRIO DA ECONOMIA

FOLHA DO RESUMO

PAT. INV.	MOD. UTI.	MOD. IND.	DES. IND.	TOP. SEMIC.	CLASSIFICAÇÃO INTERNACIONAL 51
<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	N.º Objectos <input type="checkbox"/> N.º Desenhos <input type="checkbox"/>
N.º 102297 11					DATA DO PEDIDO 00.07.05 22
REQUERENTE 71 INSTITUTO SUPERIOR TÉCNICO, portuguesa, com sede na Av. Rovisco Pais, Lisboa e FUNDAÇÃO CENTRO TECNOLÓGICO PARA A INFORMATICA, brasileira, com sede na Rodovia SP65 Km 143,6, CEP 13089-500 S.P., Brasil					
CÓDIGO POSTAL 11111					
INVENTOR(ES) / AUTOR(ES) 72 MARIA INÊS CASTRO SIMAS, A.P. CASIMIRO, P. SANTOS, residentes em Portugal e S. FINCO, F. BEHRENS e C. MAMMANA, residentes no Brasil					
REIVINDICAÇÃO DE PRIORIDADE(S) 30					
DATA DO PEDIDO PAÍS DE ORIGEM N.º DO PEDIDO					
EPÍGRAFE 54 "CIRCUITOS INTEGRADOS INTELIGENTES DE POTÊNCIA CONFUGURÁVEIS E DISPOSITIVOS SEMICONDUTORES"					
FIGURA (para interpretação do resumo)					
NÃO ESCREVER NAS ZONAS SOMBREADAS					
RESUMO (max. 150 palavras) 57 Usualmente a Integração Inteligente de Potência recorre a complexos processos de fabrico de Circuitos Integrados (CIs) que disponibilizam vários dispositivos semicondutores para o processamento de sinais digitais, sinais analógicos e sinais de potência. Este invento diz respeito à utilização de estruturas N-MOS, fabricadas recorrendo a processos de fabricação de sub-Circuitos integrados convencionais, para a realização de funções de controlo, comutação, amplificação de sinais, amostragem e protecção em sistemas monolíticos inteligentes de potência (Smart Power), dispensando a utilização de outros dispositivos semicondutores no processamento de sinais de potência. Essas estruturas activas podem ser associadas a elementos passivos para realizar as funções necessárias a esses sistemas inteligentes de potência. Múltiplas estruturas, associadas a elementos passivos integrados ou não, em configurações específicas, definidas pela aplicação a que se destinam, viabilizam a concretização de topologias para comutação de potência equivalentes às conhecidas pelas denominações "Switch Load Topologies: High-side, Low-side, Pass Element, Half-Bridge,					

Campo das Cebolas - 1149 - 035 LISBOA
Telef.: 01 888 51 51 / 2 / 3
Linha azul: 01 888 10 78 • Fax: 01 887 53 08 - 886 00 66
E-mail: inpi @ mail. telepac. pt



FOLHA DO RESUMO (Continuação)

PAT. INV.	MOD. UTI.	MOD. IND.	DES. IND.	TOP. SEMIC.	CLASSIFICAÇÃO INTERNACIONAL (51)
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
N.º		N.º Objectos		N.º Desenhos	
11				22	
DATA DO PEDIDO ____ / ____ / ____					

RESUMO (continuação) (57)

Full-Bridge, n-Phases" e as delas derivadas, bem como dos sub-Circuito de controlo da excitação das referidas estruturas de comutação conhecidas pelas denominações "Switch Driver Techniques: Level Shifters, Clippers, Clampers, HV Floating Drivers". O invento refere-se ainda a estruturas NMOS para circuitos integrados de potência, que apresentam uma arquitectura optimizada sob a forma de blocos elementares de construção para o controlo de potência, analógicos e configuráveis. O presente invento refere-se ainda à topografia de semicondutores passível de concretizar: uma estrutura NMOS optimizada – o GSNMOS; e as funções referidas, configuráveis pela(s) última(s) camada(s) de metal.

NÃO ESCREVER NAS ZONAS SOMBREADAS

José Panas da Cunha
JPC

DESCRICAÇÃO

"CIRCUITOS INTEGRADOS INTELIGENTES DE POTÊNCIA CONFIGURÁVEIS E DISPOSITIVOS SEMICONDUTORES"

Este invento apresenta Estruturas baseadas unicamente em transistores NMOS, úteis na concretização de diferentes funções de comutação e diferentes funções analógicas e digitais necessárias ao controlo de potência nos Circuitos Integrados Inteligentes de Potência (CIIPs). Como resultado, os CIIPs podem ser fabricados recorrendo a processos de fabricação convencionais para circuitos integrados digitais, sem etapas adicionais de processamento.

O elemento fulcral reside num transistor NMOS isolado que, associado a outros e, eventualmente, a elementos passivos em Estruturas NMOS específicas, ou células ditas básicas, cujo adequado projecto da planta (*layout*) permite criar, por repetição destas, Agregados e Matrizes programáveis por forma a constituírem Topologias para a realização de funções de controlo, comutação, amplificação de sinais, amostragem de variáveis físicas e protecção em sistemas monolíticos inteligentes de potência (Smart Power), dispensando a utilização de outros dispositivos semicondutores no processamento de sinais de potência. São apresentadas diversas Estruturas NMOS que viabilizam a concretização de diferentes Células, por estabelecimento conveniente de interligações de metal entre elas. Estas Células correspondem às Topologias de Comutação, cada uma designada como Célula de Comutação, para comutação de potência, equivalentes às conhecidas pelas denominações (em línguagem anglo-saxónica), "Switch Load Topologies [1], [2]: *High-side*, *Low-side*, *Pass Element*, *Half-Bridge*, *Full-Bridge*, *n-Phases*", aqui referidas como isolada, referenciada à massa, de

João Pedroso da Cunha
ponte, ponte, ponte múltipla e as delas derivadas, bem como as topologias dos circuitos de controlo da excitação das referidas estruturas de comutação, conhecidas pelas denominações "Switch Driver Techniques: Level Shifters, Clippers, Clampers, HV Floating Drivers".

Como resultado, obtém-se circuitos baseados em Estruturas NMOS, cuja topografia pode ser elaborada de modo a favorecer a sua obtenção através de convenientes interligações estabelecidas nos e entre Agregados de Células básicas, configuráveis pela(s) última(s) camada(s) de metal, que conferem não só às tecnologias CMOS convencionais, mas também às tecnologias dedicadas à Integração de Potência, características ímpares para a prototipagem rápida de CIIPs.

O invento refere-se ainda a transistores NMOS – GSLDD/GSLDSD (*Gate Shift Lightly Doped Drain/Gate Shift Lightly Doped Source and Drain*), que apresentam uma arquitectura optimizada relativamente à tensão de disruptão, o que permite estender a gama de tensões muito para além dos limites reconhecidos para as tecnologias convencionais.

Antecedentes do Invenção

O termo Circuitos Integrados Inteligentes de Potência ("Smart Power") tem sido vulgarmente utilizado para definir Circuitos Integrados de Potência (CIIP - *PICs*) que proporcionam uma interface entre uma lógica de controlo digital e uma carga de potência, destinada a controlar médias tensões (até muitas dezenas de Volt) e níveis de corrente médios (até uns poucos de Ampere). Por conseguinte, um Circuito Integrado Inteligente de Potência (CIIP) é essencialmente formado por um circuito monolítico que engloba dispositivos de potência, circuitos analógicos e circuitos digitais de elevada densidade e baixa tensão de operação, a fim de obter um aumento de funcionalidade e fiabilidade.

João Pedroso da Cunha
JPC

Usualmente, a Integração Inteligente de Potência recorre a complexos processos de fabrico de Circuitos Integrados (CIs) [2], que um grande esforço de investigação tem vindo a tentar tornar compatíveis com os processos CMOS [3]. Estes processos sofisticados de fabrico disponibilizam vários tipos de dispositivos semicondutores, tais como: Transistores de Efeito de Campo N-MOS, P-MOS, HV-NMOS (*High-voltage NMOS*), HV-PMOS (*High-voltage PMOS*), Transistores de Junção Bipolar TJB-NPN, PNP, HV-PNP, HV-NPN, Díodos Zener, Díodos rectificadores, IGBTs e Tiristores MOS.

Os processos de fabrico utilizam tecnologias BiCMOS ou CMOS com modificação de etapas do processo tecnológico [4], [5], ou incluindo etapas adicionais de processo (camada enterrada de difusão – “*buried layer*”) [6] ou ainda tecnologias dedicadas (“*Smart Power*”) que combinam circuitos analógicos, realizados recorrendo a dispositivos bipolares, com circuitos digitais CMOS e dispositivos de alta tensão DMOS [7], [8], ou derivados, por exemplo tiristores MOS e IGBTs.

Os dispositivos disponíveis nas tecnologias BiCMOS, CMOS modificadas ou “*Smart Power*”, permitem a concretização das funções de rectificação, limitação, retenção, deslocamento de nível, bombeamento de carga e intensificação da excitação necessárias ao controlo de potência, através de circuitos clássicos [9], que utilizam dispositivos bipolares, transistores, díodos de rectificação e díodos Zener.

Na listagem a seguir apresentam-se todas as referências conhecidas dos requerentes e consideradas representativas, sobre este assunto e que de algum modo são também consideradas os antecedentes do invento.

José Ribeiro da Cunha

REFERÊNCIAS

- [1] H. Ballan and M. Declercq "High Voltage Devices and Circuits in Standard CMOS Technologies", Kluwer Academic Publishers, Dordrecht, The Netherlands, 1999.
- [2] B. J. Baliga "An Overview of Smart Power Technology", *IEEE Trans. on Electronic Devices*, Vol. 38, n.7, pp. 1568-1575, July 1991.
- [3] B. Z. Parpia, C. A. T. Salama and R. A. Hadaway, "Modelling and characterization of CMOS-compatible high-voltage device structures", *IEEE Trans. Electron Devices*, vol. ED-34, pp. 2335-2343, 1987.
- [4] W. G. Meyer, G. W. Dick, K. H. Lee, and J. A. Shimer, "Integrable high-voltage CMOS: Devices, process, applications", in *IEEE International Electron Devices Meeting Tech. Dig.*, IEDM'85, pp. 732-735, 1985.
- [5] G. M. Dolny, O. H. Schade, B. Goldsmith, and L. A. Goodman, "Enhanced CMOS for analog-digital power IC applications", *IEEE Trans. Electron Devices*, vol. ED-33, pp. 1985-1991, 1986.
- [6] Yong Qiang Li, C. A. T. Salama, M. Seufert, P. Schvan and Mike King, "Design and characterisation of submicron BiCMOS compatible high-voltage NMOS and PMOS Devices", *IEEE Trans. Electron Devices*, vol. 44, n° 2, pp. 331-338, February, 1997.
- [7] T. Efland, T. Keller, S. Keller and J. Rodriguez, "Optimized complementary 40 V power LDMOS-FETs using existing fabrication steps in submicron CMOS technology" in *IEEE International Electron Devices Meeting Tech. Dig.*, IEDM'94, pp.399-402, 1994.
- [8] Arlette Marty-Blavier, Didier Farenc, Thierry Sicard, Gisele Blanc, Irene Pages, "A Cost Effective Smart Power Technology for 45V Applications", in *Proceedings of the 27th European Solid-State Device Research Conference*, ESSDERC'97, Stuttgart, September, 1997.
- [9] Electronic Trend Publications, "Smart Power Markets and Applications", 1996.

José Ribeiro da Cunha
JRC

- 5 -

[10] J. D. Plummer, R. A. Blanchard, "Power MOS devices in discrete and integrated circuits" in "*Power Integrated Circuits*", P. Antognetti (editor), cap. 3, pp.3.1 McGraw-Hill Book Co., 1986.

[11] S. Finco, F. H. Behrens, M. I. Castro Simas, "A Smart Power IC for DC-DC Power Regulation", in *Proceedings IEEE Industrial Applications Society 27th Annual Meeting*, IAS'92, pp. 1204-1211, Houston, Texas, U.S.A., October, 1992.

[12] M. I. Castro Simas, J. Costa Freire, S. Finco, F. H. Behrens, , "Modeling and Characterization of LDD and LDSD NMOS Transistors", in *Proceedings IEEE Industrial Applications Society 28th Annual Meeting*, IAS'93, pp. 1183-1189, Toronto, Ontario, Canada, October, 1993.

Smart Power IC's – Technologies and Applications, B. Murari, F. Bertotti, G. A. Vignola (Eds.), Springer, 1995.

Campo de Aplicação do Invento

O recente interesse por soluções monolíticas em aplicações de Electrónica de Potência tem motivado o desenvolvimento de sofisticadas e dispendiosas tecnologias que permitem fundir, num único circuito monolítico, dispositivos de potência juntamente com circuitos de controlo, protecção e amostragem de grandezas físicas, bem como interfaces com microprocessadores, diagnóstico de falhas e monitorização de processos. Os CIIPs são referidos como capazes de realizar funções complexas de comutação a altas frequências, com aumento da funcionalidade e fiabilidade relativamente às soluções discretas, representando um progresso motivador na área do processamento de potência, o que tem levado os fabricantes a lançar no mercado CIIPs para aplicações específicas, de baixa e média potência, nomeadamente para a indústria automóvel, robótica, telecomunicações portáteis e equipamento médico, áreas em que são necessárias grande fiabilidade e compactação.

O presente invento tem, portanto, como campo de aplicação a conceção e a realização de funções de comutação, excitação, controlo, amplificação, amostragem de variáveis físicas e protecção em sistemas monolíticos Inteligentes de Potência (“Smart Power”) utilizando apenas Estruturas NMOS, fabricadas recorrendo a processos tecnológicos convencionais de circuitos integrados “VLSI”, e dispensando a utilização de outro tipo de dispositivo semicondutor no processamento de sinais de potência.

As tecnologias CMOS convencionais ficam assim viabilizadas para a Integração Inteligente de Potência de baixo custo e com a facilidade de permitir ainda a prototipagem rápida de CIIPs para aplicações específicas, beneficiando da maturidade das tecnologias, das ferramentas de projecto automático (EDA), das bibliotecas disponíveis e conjuntos de funções reutilizáveis.

José Pedro da Cunha
JPC

A mesma metodologia pode ser utilizada em tecnologias específicas para a Integração de Potência, perspectivando-as para prototipagem rápida, utilizando o transistor isolado disponibilizado pela tecnologia como elemento básico das Estruturas NMOS constitutivas dos Agregados e Matrizes apresentados, facilmente configuráveis pela(s) última(s) camada(s) de metal, para obtenção das topologias e circuitos necessários à funcionalidade exigida.

Objecto e Função do Invento

O presente invento diz respeito:

- dispositivos semicondutores optimizados – GSLDD/GSLDSD-NMOS (Gate Shift Lightly Doped Drain/ Gate Shift Lightly Doped Source and Drain), estendendo a gama de tensões suportadas no corte para além dos limites normalmente estabelecidos para dispositivos fabricados com tecnologias CMOS convencionais.
- a associações de Estruturas NMOS em Agregados e Matrizes específicas para circuitos integrados de potência, que apresentam uma arquitectura optimizada sob a forma de blocos elementares, passíveis de ser configurados pela(s) última(s) camada(s) de metal, para a realização de diferentes Topologias, designadamente de células de comutação e de circuitos analógicos, que concretizam funções necessárias ao controlo de potência;
- à utilização de Matrizes de Células Básicas, constituídas por Estruturas NMOS pré-definidas, passíveis de serem configuradas em Topologias específicas, que realizam funções de comutação, excitação, controlo, amplificação, amostragem de variáveis físicas e protecção, em sistemas monolíticos inteligentes de potência (“Smart Power”); e
- às topologias de circuitos de comutação de potência e de circuitos de controlo de excitação dos ditos circuitos de comutação, utilizando, na sua con-

cretização, Estruturas NMOS, sob a forma de Circuitos Integrados dedicados ou semi-dedicados (Full-custom/Semi-custom).

Mesmo em processos tecnológicos, em que é fácil obter Estruturas semicondutoras bipolares (PNP, NPN) e Estruturas unipolares PMOS, o recurso apenas a Estruturas NMOS reduz a possibilidade de condução intempestiva (*latch-up*) e, em certos casos, a área de Silício utilizada.

Constitui, portanto, um objectivo do invento, o desenvolvimento de Topologias de circuitos passíveis de concretizar as Células genéricas necessárias ao controlo e à comutação de potência em Circuitos Integrados Inteligentes de Potência (Smart Power) recorrendo apenas a transistores isolados NMOS.

Constitui, também, objectivo do invento o desenvolvimento de Matrizes contendo Agregados de Células Básicas, realizadas com Estruturas NMOS cuja topografia permita serem facilmente configuráveis pela(s) última(s) camada(s) de metal, devido à sua arquitectura organizada e repetitiva, por forma a concretizarem as ditas Topologias.

Assim, as Matrizes que se apresentam resultam da associação optimizada de múltiplas Estruturas NMOS em configurações específicas, para promover, por adequada configuração da(s) última(s) camada(s) de metal, a concretização:

- das diferentes Topologias para comutação de potência (*Switch Load Topologies*): interruptor isolado (*High-Side*) - Fig. 1, interruptor referenciado ao substrato (*Low-Side*) - Fig. 1, interruptor de passagem (*Pass Element*) - Fig. 1, interruptor vai-vem (*Push-Pull*) - Fig. 2, meia-ponte (*Half-Bridge*) - Fig. 2, ponte (*Full-Bridge*) - Fig. 3, ponte-múltipla (*n-Phases*) - Fig. 3 e topologias derivadas - Fig. 4. As Figs. 1, 2, 3 e 4 ilustram as topologias genéricas propostas para a concretização das células de comutação de potência atrás referidas;

- dos diferentes circuitos necessários à excitação dos dispositivos de comutação de potência; circuitos rectificadores e limitadores (*Clippers*) – Fig. 5; circuitos de deslocação de nível (*Level Shifters*) – Fig. 6; circuitos de retenção (*Clampers*) – Fig. 6; circuitos flutuantes de excitação – circuito de bombeamento de carga e circuito intensificador de excitação (*High Voltage Floating Drivers – Charge-pump and Bootstrap*) - Figs. 7 e 8. As Figs. 5, 6, 7 e 8 ilustram a concretização proposta das funções referidas, necessárias ao controlo de potência, na excitação dos dispositivos de potência, através de Estruturas NMOS;
- das topologias que concretizam as diferentes funções de controlo, amplificação, amostragem de variáveis físicas e protecção, definidas caso a caso de acordo com a aplicação de potência pretendida.

Um outro objectivo deste invento refere-se a dois novos transistores NMOS – GSLDD/GSLDSD, obtidos por optimização de transistores NMOS no que respeita à tensão de disruptão, através da introdução de um deslocamento da máscara do terminal de Porta de silício policristalino em relação à borda da máscara de poço N [14], permitindo estender a aplicação das tecnologias CMOS convencionais a maiores gamas de tensão, conforme descrito pormenorizadamente mais adiante.

Vantagens e Aperfeiçoamentos Relativos aos Métodos, Materiais ou Produtos Existentes

O invento apresentado engloba Agregados e Matrizes de células básicas, que utilizam Estruturas NMOS, para a obtenção das funções genericamente necessárias ao controlo, amplificação, conversão e comutação de potência e de dispositivos NMOS optimizados relativamente à tensão suportada no estado de corte, nomeadamente os transistores NMOS GSLDD/GSLDSD.

As vantagens da invenção apresentada são:

- permitir a utilização de processos tecnológicos convencionais, mais simples ou menos complexos que os usualmente utilizados, para a concretização de dispositivos de potência de alta tensão e das funções necessárias ao controlo de potência, recorrendo apenas a Estruturas NMOS que utilizam difusões fracamente dopadas na formação dos terminais de Dreno e Fonte;
- permitir a utilização de um único modelo eléctrico básico das Estruturas semicondutoras para a simulação de dispositivos e circuitos;
- compatibilizar a Integração Inteligente de Potência com as tecnologias CMOS convencionais, sem etapas adicionais de processo;
- compatibilizar a produção em massa de micro-sistemas com as tecnologias CMOS convencionais, sem etapas adicionais de processo, de acordo com as tendências da tecnologia [4], [5], [6], [7].
- conferir potencialidades a grande número de processos CMOS convencionais existentes no mercado, para concretizarem circuitos integrados inteligentes de potência (“Smart Power”), mediante o simples acréscimo de bibliotecas de circuitos de controlo de potência às bibliotecas já existentes;
- viabilizar a realização de Circuitos Integrados Inteligentes de Potência semi-dedicados, facilmente configuráveis através da(s) última(s) camada(s) de

José Lemos da Cunha

metal, utilizando processos tecnológicos CMOS convencionais disponíveis para a fabricação de circuitos digitais semi-dedicados;

- conferir potencialidades a grande número de processos dedicados à Integração Inteligente de Potência (“Smart Power”) para viabilizarem a fabricação de Circuitos Integrados Inteligentes de Potência semi-dedicados, facilmente configuráveis através da(s) última(s) camada(s) de metal, mediante a simples introdução de bibliotecas de circuitos de controlo de potência;

- permitir a realização da prototipagem rápida de Circuitos Integrados Inteligentes de Potência (“Smart Power”), numa dada tecnologia CMOS;

- permitir a obtenção de uma geometria optimizada de transistores de alta tensão, compatível com as tecnologias CMOS convencionais, estendendo a sua aplicação até gamas de tensão superiores às usualmente estabelecidas para estas tecnologias.

Breve descrição das figuras

A descrição que se segue faz referência às folhas de desenho que dela fazem parte integrante e que, sem qualquer carácter limitativo, servem para ajudar a uma mais fácil compreensão do invento. Assim:

As Figs. 1 a 4 representam células de comutação genéricas para a concretização de topologias de potência;

A Fig. 5 representa um novo circuito proposto equivalente a um Zener programável, baseado unicamente em estruturas NMOS, que substitui o diodo Zener e é utilizável em circuitos limitadores (*Clippers*) e também susceptível de utilização em circuitos de retenção (*Clampers*);

A Fig. 6 representa um circuito deslocador de nível (*Level-Shifters*) proposto, baseado unicamente em estruturas NMOS, com a mesma funcionalidade do circuito convencional;

João Pavan, em Cima


A Fig. 7 representa um circuito proposto equivalente a um circuito flutuante de bombeamento de carga (*Charge-Pump - HV floating driver*), baseado unicamente em estruturas NMOS, que substitui o circuito convencional;

A Fig. 8 representa um circuito proposto equivalente a um circuito flutuante de excitação em alta tensão (*Bootstrap - HV floating driver*), baseado unicamente em estruturas NMOS, que substitui o circuito convencional;

A Fig. 9 representa o plano geral da matriz de estruturas de comutação, onde se mostra a distribuição espacial das estruturas e agregados, a colocação dos canais de interligação dos sinais de controlo, os canais de interligação de potência e a posição dos contactos de ligação para o exterior.

A Fig. 10 representa o pormenor da matriz onde é dada particular atenção aos contactos de ligação do agregado, mostrando as pistas de *metal2* existentes sobre as estruturas na proximidade dos contactos de ligação para o exterior.

A Fig. 11 representa os canais de interligação de sinais de controlo, mostrando a rede de vias (ligações *metal1/metal2*), pistas de *metal1* e resistência de Silício policristalino.

A Fig. 12 representa os canais de interligação com rectângulos de *metal2* pré-definidos, evidenciando a localização da rede de vias, das pistas de *metal1*, dos rectângulos de *metal2* e das distâncias mínimas entre eles.

A Fig. 13 representa uma secção transversal dos canais de interligação ao longo de uma pista de *metal1*, evidenciando a posição relativa dos diferentes elementos.

A Fig. 14 representa uma estrutura NMOS elementar composta por transistores LDD e LDSD aninhados.

A Fig. 15 representa uma estrutura NMOS elementar composta por transistores LDSD colocados lado a lado.

José Panas da Cunha

A Fig. 16 representa um pormenor de uma estrutura NMOS elementar composta por transistores LDD e LDSD aninhados, mostrando as partes relevantes da estrutura.

A Fig. 17 representa um corte transversal da célula elementar optimizada proposta, baseada em transistores GSLDD/GSLDSD NMOS;

A Fig. 18 representa (a) díodo rectificador e respectiva curva característica $I(V)$; (b) díodo Zener e respectiva curva característica $I(V)$; (c) díodo rectificador em série com díodo Zener e respectiva curva característica $I(V)$.

A Fig. 19 representa o circuito de controlo integrante dos circuitos que emulam o díodo Zener e o díodo rectificador.

A Fig. 20 representa a reconfiguração de uma Estrutura NMOS, constituída por transistores LDSD NMOS, que emula o comportamento do Circuito Zener flutuante da Fig. 18 b).

A Fig. 21 representa a reconfiguração de uma Estrutura NMOS, constituída por transistores LDMOS, que emula o comportamento do Circuito Zener flutuante da Fig. 18 b).

A Fig. 22 representa a reconfiguração de uma Estrutura NMOS, constituída por transistores LDSD NMOS, que emula o comportamento da associação série díodo rectificador – díodo Zener da Fig. 18 c).

A Fig. 23 representa a reconfiguração de uma Estrutura NMOS, constituída por transistores LDMOS, que emula o comportamento da associação série díodo rectificador – díodo Zener da Fig. 18 c).

A Fig. 24 representa a reconfiguração de uma Estrutura NMOS, constituída por transistores LDSD NMOS, que emula o comportamento do díodo rectificador da Fig. 18 a).

A Fig. 25 representa a reconfiguração de uma Estrutura NMOS, constituída por transistores LDMOS, que emula o comportamento do díodo rectificador da Fig. 18 a).

A Fig. 26 representa um circuito deslocador de nível clássico, divulgado na literatura, que utiliza transistores *high-side* de alta tensão do tipo PMOS ou PNP Bipolar.

A Fig. 27 representa um circuito deslocador de nível utilizando somente transistores LDSD NMOS. Esta topologia dispensa o uso de transistores PMOS ou PNP bipolar de alta tensão na posição *high-side*.

A Fig. 28 representa um circuito deslocador de nível utilizando somente transistores LDMOS. Note-se a adição do elemento DR quando comparado com a topologia da Fig. 27.

A Fig. 29 representa um circuito deslocador de nível operando como deslocador do nível de tensão contínua. Nesta configuração o circuito opera como uma fonte auxiliar de tensão contínua derivada de HV.

A Fig. 30 representa: a) um circuito capacitivo típico de bombeamento de carga (*capacitive charge-pump*), com função de duplicador de tensão; b) a tensão sobre o condensador C_{T_4} em relação à massa, em função do tempo.

A Fig. 31 representa um circuito capacitivo típico de bombeamento de carga com função de triplicador de tensão.

A Fig. 32 representa a concretização de um circuito de bombeamento de carga com função de duplicador de tensão, passível de concretização com estruturas NMOS.

A Fig. 33 representa um circuito capacitivo típico de bombeamento de carga com função de triplicador de tensão, passível de concretização com estruturas NMOS.

A Fig. 34 representa um circuito capacitivo de bombeamento de carga funcionando como fonte flutuante, derivado da topologia da Fig. 31, porém com uma ponte de rectificadores na saída, passível de concretização com estruturas NMOS.

João Pedroso da Cunha

A Fig. 35 representa um circuito elementar, passível de concretização com estruturas NMOS, a partir do qual podem ser obtidas as topologias de bombeamento de carga reivindicadas como inovadoras.

A Fig. 36 representa: a) um circuito típico intensificador de excitação; b) os diagramas temporais das tensões de controlo, de saída, e de Porta, durante o transitório de ligação e desligação de MH.

A Fig. 37 representa um circuito intensificador de excitação típico, baseado em estruturas NMOS.

A Fig. 38 representa: a) um circuito intensificador de excitação para dispositivos de potência em topologia *High-Side*; e b) respectivas formas de onda durante o transitório de ligação e desligação.

A Fig. 39 representa um circuito típico para fonte de corrente flutuante, para injecção de corrente num dispositivo de potência em topologia *High-Side*.

A Fig. 40 representa um circuito de uma fonte de corrente flutuante construída com Estruturas NMOS.

Descrição Pormenorizada do Invento

Apresenta-se em seguida a descrição pormenorizada das Matrizes utilizadas no âmbito do invento para concretizar as diferentes células de comutação, *High-Side* - Fig. 1, *Low-Side* - Fig. 1, *Pass Element* - Fig. 1, *Push-Pull* - Fig. 2, *Half-Bridge* - Fig. 2, *Full-Bridge* - Fig. 3, *n-Phases* - Fig. 3 e Topologias derivadas - Fig. 4, que são genéricas e bem conhecidas da literatura [1], [2].

Apresenta-se ainda a descrição pormenorizada de Transistores NMOS optimizados, baseados numa deslocação da máscara da Porta de silício policristalino, que dá origem aos transistores NMOS GSLDD e GSLDSD, que fazem parte da matéria do invento.

Apresenta-se também a descrição pormenorizada de algumas das Topologias dos circuitos propostos, baseados unicamente em Estruturas NMOS, parte integrante do invento, e que substituem os circuitos convencionais necessários à excitação dos dispositivos de comutação de potência para o controlo de potência já referidos atrás: circuitos rectificadores e limitadores (*Clippers*) – Fig. 5; circuitos de retenção (*Clampers*) – Fig. 5; circuitos de deslocamento de nível (*Level Shifters*) – Fig. 6; circuitos flutuantes de excitação – circuitos de bombeamento de carga e circuitos intensificadores de excitação (*High Voltage Floating Drivers – Charge-pump and Bootstrap*) - Figs. 7 e 8.

1. - As Células de Comutação

As células de comutação são baseadas em Estruturas NMOS disponíveis numa Matriz, configurável pela(s) última(s) camada(s) de metal. As associações possíveis são suficientemente versáteis, permitindo concretizar as células de comutação de potência mais usuais (*Switch Load Topologies*) [2]: interruptor isolado (*High-Side*) - Fig. 1, interruptor referenciado ao substrato (*Low-Side*) – Fig. 1, interruptor de passagem (*Pass Element*) – Fig. 1, interruptor vai-vem (*Push-Pull*) – Fig. 2, meia-ponte (*Half-Bridge*) – Fig. 2, ponte (*Full-Bridge*) – Fig. 3, ponte-múltipla (*n-Phases*) – Fig. 3 e topologias derivadas – Fig. 4.

As Matrizes são constituídas por Agregados de Estruturas NMOS, que apresentam possibilidades de interligação apropriadas às finalidades pretendidas.

Embora as Matrizes e Agregados possam utilizar genericamente qualquer transistor NMOS isolado de potência como célula elementar, elas são apresentadas neste documento baseadas em transistores NMOS concretizáveis em tecnologias CMOS convencionais.

1.A.1 A Matriz de Estruturas NMOS

Jacó Pêrares da Cunha

A Matriz (Fig. 9) é constituída por Agregados de Estruturas NMOS (1) separados por canais de interligação dos sinais de controlo (intercalares, 2l; laterais, 2L), e, contactos de ligação ao exterior (*pads*) (topo, 3T; base, 3B; laterais, 3L; cantos, 3C). O número de Estruturas NMOS empilhadas, bem como o número de colunas de Agregados, depende da potência total para a qual foi dimensionada a Matriz.

A interligação dos Drenos e das Fontes é feita sobre os agregados de Estruturas NMOS (1) (Fig. 9) por pistas de metal da última camada (*metal2*) (4) (Fig. 10), em número de seis por cada agregado de Estruturas, de forma a permitir maior flexibilidade nas interligações. A ligação dos Drenos e das Fontes entre Estruturas de diferentes agregados, e a ligação dos Drenos e das Fontes aos contactos laterais próximos dos cantos (5 e 3L), é feita por um conjunto de duas ou três pistas de ligação da primeira metalização (topo, 6T; base, 6B) existentes no topo e na base da Matriz (Fig. 9), dependendo o número de pistas da dimensão da matriz.

A largura das Estruturas NMOS (1) é calculada de forma a que, somada à largura dos canais de interligação dos sinais de controlo, corresponda à largura necessária para a colocação de quatro contactos de ligação ao exterior (*pads*) (Fig. 10), dois exclusivamente para ligações de potência (7A) e os outros dois para sinais de controlo e/ou de potência (7B). O número de contactos depende assim do número de agregados, oito por cada agregado, sendo quatro no topo e quatro na base. O número de contactos nas laterais da matriz (Fig. 9 - 3L) é igual ao número de contactos na base (3B) e no topo (3T). Os quatro contactos nos cantos (3C) são obrigatórios na maior parte das tecnologias, podendo eventualmente ser ligados à massa ou à tensão de alimentação mais elevada, dependendo das restrições de cada tecnologia. Os contactos dos Drenos e das Fontes

para o exterior, associados a cada um dos agregados (7A e 7B) (Fig. 10), são alinhados com as pistas de *metal2*, por forma a eliminar a necessidade de espaço extra para encaminhamento das pistas.

O número de canais de interligação dos sinais de controlo (2I e 2L) (Fig. 9) é igual ao número de agregados de Estruturas NMOS (1) mais um, por forma a ficarem ambos os lados da Matriz com canais de interligação de sinais de controlo (Fig. 9), permitindo assim a ligação dos canais de interligação dos sinais de controlo aos contactos exteriores localizados em ambos os lados da Matriz (3L).

1.A.2 Possibilidades de Interligação

A interligação das Estruturas, entre si e aos contactos de ligação ao exterior, é criada com base numa grelha (*routing grid*) mínima, dependente da dimensão mínima da tecnologia e de restrições próprias de cada matriz. Todas as pistas de interligação, quer na primeira metalização (*metal1*), quer na segunda metalização (*metal2*), têm uma dimensão múltipla daquela.

Os canais de interligação de sinais de controlo (Figs. 11 e 12), ou mais simplesmente canais de interligação, são formados por pistas da primeira metalização (12C) (Fig. 12, Fig. 13), que asseguram as ligações na horizontal, e rectângulos da segunda metalização (8) (Fig. 12, Fig. 13), que asseguram as ligações na vertical. A transição *metal2/metal1* é feita utilizando os conjuntos de vias (22) existentes. As vias são ligações entre a primeira e a segunda metalização através do óxido espesso ou de campo.

Dependendo do algoritmo utilizado para o encaminhamento e as interligações (*routing*), estas serão efectuadas sobre canais pré-definidos (17) (Fig. 11) ou, no caso de algoritmos menos inteligentes, sobre uma rede de rectângulos.

gulos de *metal2* (8) (Fig. 12), separados por uma distância (9) (Fig. 12) igual ou maior que a distância mínima permitida pela tecnologia entre pistas adjacentes, múltipla da dimensão da grelha, sendo as interligações completadas com a inserção automática de rectângulos de *metal2* (Fig. 12 e Fig. 13).

As interligações por configuração da matriz pré-processada são feitas por inserção de rectângulos de *metal2*, entre os conjuntos de ligações das Estruturas (16E) e os conjuntos de ligações dos canais de interligação (16C), e entre os rectângulos de *metal2* (8) (Fig. 12 e Fig. 13) para constituir ligações verticais para acesso aos contactos de topo (6T) e de base (6B) (Fig. 9) ou para estabelecer determinadas topologias de circuito através da interligação local de células de comutação.

Para ligação às pistas de *metal2* nos canais verticais, é necessário um pequeno percurso feito nesta metalização na horizontal a partir do conjunto de vias mais próximo. No caso dos canais de sinais de controlo com rectângulos de *metal2* pré-definidos (8) (Fig. 12), a ligação ao quadrado de *metal2* que inicia a ligação na vertical, é feita pela inserção de um rectângulo de *metal2* na horizontal de forma a estabelecer contacto com o conjunto de vias (22) mais próximo.

Os conjuntos de ligações, existentes quer nas Estruturas (16E), quer nos canais de interligação (16C) (Figs. 11, 12 e 13), constituídos por rectângulos de *metal1* (12), ligados a *metal2* (21) por diversos conjuntos de vias (22), permitem ligar as pistas de *metal1* (12E), provenientes das Portas (16P), Drenos (16D), Fontes (16F) e Anéis de Guarda (11) das Estruturas NMOS, às pistas horizontais de *metal1* (12C) dos canais de interligação (Fig. 13).

As pistas de *metal1* (12C) dos canais de interligação são interrompidas (12I) (Figs. 11 e 12) para permitir o acesso de interligações independentes

às duas Estruturas adjacentes ao canal. Os canais de interligação permitem a interligação de células tanto na horizontal, em agregados diferentes, como na vertical, dentro do mesmo agregado.

Em todos os canais de controlo, por cada célula elementar, existem duas resistências (23) constituídas por silício policristalino, mais resistivo que o utilizado na constituição das Portas dos transistores, com um valor típico de 45W/? (Fig. 11). As resistências (23) estão inseridas entre pistas diferentes de *metall1* (12C) através de um par de contactos *poly2/metal1* (23C) (Figs. 11 e 12).

Sob todos os canais de interligação, de potência ou de controlo, é possível criar uma difusão P⁺ (24) (Fig. 13) ligada à massa, que funciona como um filtro passa-baixo, para escoar todas as perturbações de alta frequência deviadas às comutações dos transistores.

Os planos de massa criados pela difusão P⁺ (24) (Fig. 9) permitem eliminar a possibilidade de circuitos fechados que possam ser geradores de ruído. Do mesmo modo, as pistas de difusão P⁺ (24), por baixo dos canais de interligação de controlo, são ligadas alternadamente às pistas P⁺ sob os canais de encaminhamento do topo (6T) e base (6B) da matriz.

1.A.3. A Estrutura NMOS elementar

A estrutura NMOS elementar é constituída por dois transistores LDSD (*Lightly Doped Source and Drain*) [11], [12] aninhados (Fig. 14), de forma a que a Fonte (10) do transistor exterior envolva o conjunto. Todo o conjunto é ainda circundado por um anel de guarda em difusão P⁺ (11) ligado ao substrato (Fig. 14). A outra variante da estrutura consiste em colocar lado a lado os dois transistores (Fig. 15), de tal forma que possam ser usados independentes um do

outro, partilhando apenas o anel de guarda de difusão P^+ (11) que envolve igualmente todo o conjunto (Fig. 15).

As ligações internas às Estruturas são feitas por pistas de *metal1* (12) (Fig. 16), existentes na horizontal ao longo de toda a estrutura. Estas pistas estão ligadas às Fontes (10) e aos Drenos (13) (Fig. 16) da estrutura pelo maior número de contactos difusão/*metal1* (14), permitidos pela tecnologia, e que fazem a ligação às difusões N^+ respectivas. Esta metodologia visa reduzir a resistência de contacto e uniformizar a distribuição da densidade de corrente ao longo dos terminais dos transistores. Para ligação às pistas de *metal2* (4), ortogonais às de *metal1*, existem entre cinco (Fig. 14) e sete (Fig. 15) grupos de um número adequado de vias (15) (Fig. 16), associadas da forma permitida pela tecnologia, para acomodar a corrente máxima possível de ser gerida pela estrutura. As ligações na horizontal de agregados adjacentes e/ou dos agregados exteriores à matriz são possibilitadas por conjuntos de vias (16E) existentes nas extremidades das pistas de *metal1* em ambos os lados da estrutura (Fig. 11 e Fig. 16). As ligações das Portas possuem duas vias (16P) (Fig. 16), criando uma redundância que torna esta ligação mais robusta e menos resistiva. As ligações de Dreno (16D) e de Fonte (16F) (Fig. 16) possuem conjuntos de quatro ou mais vias com capacidade em corrente suficiente para drenar a corrente máxima absorvida por uma única estrutura NMOS.

A ligação das Portas (18) (Fig. 16) dos transistores aos canais de interligação é feita de ambos os lados da estrutura (20), por forma a facilitar o seu acesso aos contactos de ligação ao exterior, e cumprir assim as limitações das tecnologias que, de um modo geral, não permitem a colocação de contactos poli-silício/*metal1* sobre a área activa dos transistores. Sobre a pista de poli-silício da Porta (18), ao longo da estrutura, existe uma ligação redundante em *metal1* (19).

Na estrutura anelar quase fechada (Figs 14 e 16), a Fonte do transistor exterior (10), bem como o anel de guarda de difusão P⁺ (11), envolvem o conjunto, tornando-o mais imune a descargas fortuitas de electricidade estática, à semelhança das Estruturas de protecção de entrada/saída associadas aos contactos exteriores (*I/O pads*). O referido anel de guarda é partilhado por Estruturas adjacentes no agregado (11) (Fig. 11).

Entre as Estruturas NMOS, poderão existir pistas adicionais em *metall*, para permitir um encaminhamento alternativo das interligações dos sinais de controlo.

As Estruturas NMOS utilizadas caracterizam-se por serem constituídas por transistores laterais, nos quais são inseridas zonas fracamente dopadas [10], tanto no trajecto do fluxo de corrente na região do Dreno como da Fonte (através da utilização de uma difusão de poço de fraca concentração de impurezas disponível no processo tecnológico CMOS), a fim de reduzir o valor de pico do campo eléctrico na superfície. Assim, o par de dispositivos elementares LDSD [11], [12], utilizados como transistores de passagem de baixa impedância, apresentam ambos os eléctrodos do Dreno e da Fonte flutuantes e, por isso, são capazes de suportar uma tensão suficientemente elevada, relativamente ao substrato.

Os transistores LDSD NMOS utilizados foram optimizados, relativamente à tensão de disruptão, recorrendo a uma translação da máscara da Porta relativamente à máscara do poço fracamente dopado, o que reforça a redução do valor de pico de campo eléctrico na superfície. Assim, obteve-se um dispositivo derivado do transistor elementar LDSD nomeado GSLDSD, sigla originada de *Gate-Shifted LDSD*, utilizado como transistor de passagem de baixa impedância e que apresenta, portanto, ambos os eléctrodos do Dreno e da Fonte flutuantes, aptos a suportar tensões ainda mais elevadas, relativamente ao substrato. Esta estrutura é descrita por menorizadamente no parágrafo seguinte.

José Laranjeira

I.B. - Os Transistores GSLDD/GSLDSD NMOS

O Transistor NMOS *Gate-Shifted* LDD ou LDSD (GSLDD ou GSLDSD) [14], tem a particularidade de ter o eléctrodo da Porta alinhado com o percurso da difusão lateral do poço N (31), disponibilizado pelas tecnologias CMOS convencionais, como pode observar-se na Fig. 17.

A Fig. 17 mostra a secção transversal de uma estrutura NMOS elementar, constituída por transistores GS-NMOS, que pode ser obtida sem alteração do processo de fabrico de qualquer tecnologia CMOS convencional com difusão de poços do tipo N em substrato do tipo P. Neste caso concreto, o substrato (25) onde são feitas as difusões que dão origem aos dispositivos tem uma concentração fraca de impurezas aceitadoras, da ordem dos 10^{16} cm^{-3} . A Fonte/Dreno (27) são constituídos por uma difusão N⁺ (28) com uma concentração forte de impurezas, habitualmente usada para o Dreno e Fonte dos transistores NMOS convencionais da tecnologia, e difundida no poço N (26) da tecnologia, com concentração fraca de impurezas, habitualmente usado como substrato dos transistores PMOS da tecnologia, e com uma concentração de impurezas dadoras da ordem de grandeza e ligeiramente superior à concentração do substrato. Entre esta difusão N⁺ (28) e o canal do dispositivo, os portadores atravessam a região de deriva por baixo do óxido de campo (29), formado pelo processo habitualmente designado por *LOCOS* (*Local Oxidation of Silicon*), até ao final da junção metalúrgica da difusão do poço N (26).

A geometria da Porta (32) confere a originalidade reivindicada e permite que os dispositivos propostos distoimpam, por multiplicação em avalanche, a níveis de tensão superiores aos encontrados, tanto nos transistores NMOS convencionais, como nos transistores LDSD clássicos obtidos utilizando as mesmas tecnologias. O Silício policristalino da Porta (32) assenta em óxido fino (30),

cuja espessura é da ordem das poucas centenas de Angstrom. Localizando a extremidade da Porta (32) do lado da Fonte/Dreno (27) (que nos transistores LDSD clássicos se encontra exactamente no alinhamento da máscara do poço N) sobre a região de difusão lateral (31) do poço N (26), permite-se que o campo eléctrico crítico para o Silício, que leva à disrupção do dispositivo, seja atingido para valores de tensão mais elevados do que os obtidos para os transistores NMOS convencionais e LDSD clássicos. Desta forma, no desenho das máscaras do dispositivo, as máscaras de Silício policristalino e poço N nunca são coincidentes e apresentam um afastamento que se passa a designar por "deslocamento de Porta" – *Gate-Shift* – e que propomos dê origem à nomenclatura utilizada para este tipo de dispositivos semicondutores: transistores *Gate-Shifted NMOS* – GS-NMOS. Como a estrutura em discussão deriva do transistor LDSD clássico, o dispositivo semicondutor que apresente uma geometria de Porta idêntica à descrita passa a ser designado por *Gate-Shifted LDSD NMOS* - GSLDSD NMOS.

Quanto maior for o afastamento entre as referidas máscaras, maior será a tensão de disrupção do transistor, desde que o afastamento em causa não seja tão elevado que o alinhamento da extremidade da Porta deixe de se sobrepor à região de difusão lateral (31), o que inibiria definitivamente a formação de canal. Dependendo da tecnologia utilizada, deve ser imposta uma tolerância ao deslocamento de Porta de algumas centenas de nanometros (nm), de modo a maximizar o aumento de tensão de disrupção que esta técnica possibilita, sem prejuízo na formação de canal no dispositivo.

A geometria do Dreno (35) do GSLDSD é em tudo idêntica à da Fonte/Dreno (27). O canal efectivo do dispositivo forma-se entre as junções metálicas dos poços N (26) e (37). Os contactos da Fonte/Dreno (27) e do Dreno (35) são feitos, respectivamente, a partir das difusões N^+ fortemente dopadas (28) e (36), evitando contactos de Schottky. A Porta (32) do dispositivo GSLDSD está

limitada pela região onde o silício policristalino assenta sobre o óxido fino de Porta (30) da tecnologia. As suas extremidades devem localizar-se no alinhamento das regiões de difusão lateral dos poços N (26) e (37), podendo imper-se um deslocamento de Porta tanto do lado da Fonte/Dreno (27) como do lado do Dreno (35). Se o dispositivo for simétrico, em condições de corte, apresentará a mesma robustez em tensão, quer do lado do Dreno quer do lado da Fonte, confe-rindo-lhe características de transistor isolado (*High-Side*).

De realçar, em termos construtivos, que o rigor na escolha da dis-tância mínima admissível entre os poços N (26) e (37) adjacentes é fundamental. Com efeito, a aproximação destas difusões deve ter em conta que o valor das di-fusões laterais do poços N das tecnologias referidas são muito maiores do que os valores das difusões laterais dos Dreno e Fonte nos transistores NMOS conven-tionais. A distância entre as referidas difusões, ajustada pela distância entre rec-tângulos que definem as suas dimensões na máscara de poço N, deve ser escolhi-da de modo a evitar a disrupção do dispositivo por atravessamento (*punchthrough*).

Em Estruturas NMOS onde esteja previsto um transistor referen-ciado ao substrato (*Low-Side*), a Fonte do dispositivo GS-NMOS pode ser cons-tituída apenas pela difusão N⁺ (39), passando o transistor a ser designado por GSLDD NMOS, uma vez que deriva da geometria clássica do LDD NMOS. Ain-da neste caso, o terminal da Fonte (40) pode ser electricamente ligado ao poten-cial do substrato (25), pelo primeiro nível de metal da tecnologia, através do ter-minal (42), e de uma difusão P⁺ (41), com uma forte concentração de impurezas, habitualmente usada para as difusões do Dreno e Fonte de transistores PMOS da tecnologia. Verifica-se que a tensão máxima de bloqueio admissível para esta geometria é idêntica à obtida para o GSLDSD.

A utilização da técnica de deslocamento de Porta implica o aumento da resistência na condução dos dispositivos GSLDSD comparativamente aos LDSD clássicos, porque é imposto um maior percurso de deriva aos portadores entre o contacto do Dreno e a extremidade da Porta. Este efeito pode ser minimizado através do prolongamento (33) de Silício policristalino sobre o óxido de campo (29), permitindo a diminuição da região de deriva. Este prolongamento deve ser tanto maior quanto as regras de desenho da tecnologia o permitam. Para além deste benefício, verifica-se que, na situação de bloqueio dos dispositivos GS-NMOS, este prolongamento (33) provoca o espalhamento das linhas de campo eléctrico na região crítica que dá origem à disruptão. Consegue-se, desta forma, que o campo eléctrico crítico seja atingido para valores ainda mais elevados de tensão do Dreno, o que na prática se traduz numa maior tensão máxima admissível para o dispositivo no corte, quando comparado com outros onde se prescinde deste pormenor geométrico.

As placas de campo (43) e (44), fabricadas com o primeiro nível de metal da tecnologia, podem ser utilizadas opcionalmente para obter benefícios idênticos aos conseguidos com os prolongamentos de Silício policristalino do tipo (33), ainda que os resultados não sejam significativos, tanto relativamente à diminuição da resistência na condução, como no melhoramento da tensão de disruptão. Estas placas de campo estão electricamente ligadas à Fonte dos dispositivos, pelo primeiro nível de metal, estendendo-se sobre o Silício policristalino, até se sobrepor em à região de deriva do poço N.

Em resumo, a tensão de disruptão dos GSLDD/GSLDSD é mais elevada que a dos dispositivos LDD/LDSD clássicos, pois a região localizada sob a extremidade do eléctrodo Porta corresponde a uma região de concentração de impurezas ainda menor que a da superfície do poço – a difusão lateral do poço. Assim, o valor máximo do campo eléctrico, por estar localizado numa região ainda mais fracamente dopada que a do caso dos dispositivos clássicos, permite



atingir valores ainda mais elevados de tensão Dreno-Fonte. Com esta técnica, conseguiu-se um melhoramento da disruptão em cerca de 20V relativamente às Estruturas clássicas LDD/LDSD, e um melhoramento de cerca de 40V relativamente aos transistores NMOS convencionais.

2 - Circuitos Baseados em Estruturas NMOS

Os circuitos necessários ao controlo de potência, nomeadamente à excitação dos dispositivos de potência, realizam tipicamente funções de rectificação, retenção, regulação, limitação, deslocamento de nível de tensão, bombeamento de carga e intensificação de excitação.

Descrevem-se a seguir exemplos de topologias destes circuitos, baseadas em Estruturas NMOS, reivindicadas como inovadoras no contexto apresentado. As Estruturas NMOS utilizam basicamente transistores LDSD NMOS descritos em 1., sendo ainda apresentadas soluções topológicas para a concretização dos mesmos circuitos recorrendo a transistores LDMOS [13].

Realce-se que, enquanto no transistor LDSD NMOS, o corpo (tipo P) coincide com o substrato da bolacha, no transistor LDMOS, o corpo (tipo P) do transistor encontra-se ligado à respectiva Fonte, ficando flutuante, tal como os terminais de Dreno e Fonte, em relação ao substrato P da bolacha.

Quando a Estrutura NMOS utilizada for baseada em transistores LDSD NMOS será representada por um símbolo de quatro terminais cujo terminal de substrato do transistor (corpo) será obrigatoriamente ligado ao substrato da bolacha; se for baseada num transitor LDMOS, o quarto terminal (o de corpo) será obrigatoriamente ligado à Fonte do transistor. Se a funcionalidade do circuito for independente do tipo de transistor, a representação do transistor será

feita por um símbolo de três terminais e o terminal do corpo do transistor será omitido.

2.A - Circuitos Zener e Rectificador

Circuitos para aplicações tais como rectificação, retenção, regulação e limitação utilizam diodos rectificadores ou diodos de Zener (Fig. 18), cujo funcionamento pode ser emulado por Estruturas NMOS em determinadas topologias.

As Estruturas NMOS necessitam, na sua grande maioria, de um bloco de Controlo (Fig. 19) para actuar sobre os seus transistores NMOS. Em muitas topologias de circuitos, os diodos parasitas, intrínsecos à Estrutura NMOS, são utilizados para realizar a funcionalidade desejada. Os circuitos de controlo normalmente contêm dois blocos de circuitos: o bloco de Controlo análogo/digital, que é referido à massa do circuito, opera em baixa tensão e utiliza os circuitos e técnicas de controlo convencionais; e o bloco de saída do circuito de Controlo, que é um amplificador de ganho G , podendo conter, tanto transistores de baixa tensão como de alta tensão, e fornece os níveis de tensão e corrente adequados à operação do circuito. As Figs. 19 a) e 19 b) esquematizam o controlo descrito acima.

No projecto e uso destas topologias, a polarização correcta e os limites físicos da tecnologia utilizada na fabricação devem ser respeitados no que tange a tensão e corrente, evitando a dissipação de potência excessiva nas estruturas, que pode levar à degradação do comportamento desejado ou até mesmo à destruição das mesmas. Também os componentes parasitas, correspondentes a efeitos resistivos, capacitivos e indutivos, assim como a diodos e transistores, devem ser considerados e modelados para que operem dentro de limites aceitáveis de frequência de

trabalho e com respostas adequadas nos regimes transitórios, garantindo assim o comportamento funcional como díodo ou como circuito mais complexo.

2.A.1 - Circuito Zener

O Circuito Zener (Figs. 20 e 21) realiza funções equivalentes às de um díodo Zener concretizado com junções PN (Fig. 18 b)). A realização de Circuitos Zener com transistores NMOS (do tipo LDSD na Fig. 20 e LDMOS na Fig. 21) consiste em associar os terminais de Dreno (49), Porta (50) e Fonte (51) de uma Estrutura NMOS (52/60) a um circuito electrónico de Controlo (45/54) referido à massa (56). Note-se que, em geral, o circuito de controlo utilizado para uma estrutura LDSD será diferente do utilizado para uma estrutura LDMOS. No entanto, o princípio de funcionamento é similar, e será descrito abaixo para o caso do transistor LDSD.

O Circuito de Controlo (45) possui um comportamento programável e actua de forma a controlar o valor da tensão entre a Porta - G (50) e a Fonte - S (51), limitando o valor da tensão entre o Dreno - D (49) e a Fonte - S (51) da Estrutura (52) ao valor desejado de tensão de Zener. A programação deste valor para o Circuito Zener é realizada através da aplicação de um sinal analógico ou digital de referência, em tensão ou corrente, Ref, na entrada de referência do Controlo (46).

O controlo opera monitorizando a tensão existente entre o Dreno (49) e a Fonte (51) e actua na Porta (50) da Estrutura, controlando assim a impedância de condução do transistor NMOS (47). Quando a tensão V_{DS} entre o Dreno (49) e a Fonte (51) ultrapassa o valor programado, o controlo actua aumentando a condutividade do transistor (47), de forma a manter V_{DS} no valor programado. Para valores de V_{DS} menores que o valor programado no controlo, nenhuma potência é dissipada na Estrutura NMOS (52) e a corrente no circuito

Zener assume um valor mínimo, que será igual à corrente de polarização do circuito de controlo.

2. A.2. - Circuito Rectificador

O comportamento de um diodo rectificador e da associação diodo rectificador - diodo Zener (Figs. 18 a) e 18 c)) é emulado pelos Circuitos Rectificadores das Figs. 22, 23, 24 e 25, desde que os transistores das Estruturas NMOS (52) e (60) sejam dimensionados correctamente.

O comportamento da associação série, diodo rectificador - diodo Zener, da Fig. 18 c) é reproduzido utilizando uma unidade de Controlo (45) que contém um amplificador (G) e um circuito de monitorização e controlo (Fig. 19), associado a uma estrutura NMOS (52), conforme se mostra na Fig. 22, para uma estrutura NMOS baseada em transistores LDSD NMOS e na Fig. 23 para uma estrutura NMOS baseada em transistores LDMOS, que neste caso recorrem a uma unidade de controlo similar (54).

A estrutura NMOS (52), baseada em transistores do tipo LDSD NMOS, deve ser flutuante e operar dentro dos limites das especificações. Os terminais de Dreno, Porta e Fonte dos transistores nas Estruturas NMOS configuradas como diodo devem operar sempre com tensões positivas em relação ao terminal de massa GND (56). O circuito de excitação G, interno ao Controlo (45), tem como função promover a mínima impedância possível na estrutura NMOS (52), através da aplicação de uma tensão adequada entre a Fonte (51) e a Porta (50), controlada pela tensão entre o Ânodo equivalente ($A\phi$) (49) e o Cátodo equivalente ($K\phi$) (51), ou seja, quando a tensão em $A\phi$ (49) for superior à tensão em $K\phi$ (51), o circuito opera emulando o funcionamento de um diodo polarizado directamente; quando a tensão em $A\phi$ (49) for inferior à tensão em $K\phi$ (51), o cir-

círculo de controlo actua, de forma a levar o transistor (47) ao corte, equivalendo ao comportamento de um diodo sob polarização inversa. Para muitas aplicações em que se pretende o efeito de diodo, o circuito de controlo de ganho G (45), que opera em baixa tensão, é dispensado, sendo reduzido a um curto-círcuito entre o Dreno (49) e a Porta (50), ou o Dreno (49) e a Fonte (51), conforme se mostra nas Figs. 24 e 25.

2.B - Deslocadores de nível

Os circuitos deslocadores de nível, frequentemente utilizados em sistemas Integrados Inteligentes de Potência [1], como o circuito apresentado na Fig. 26, recorrem a transistores de alta tensão (75), PMOS ou PNP e NMOS ou NPN. Os caminhos de baixa impedância são activados de forma alternada.

Nos circuitos deslocadores de nível convencionais existe normalmente um circuito de interface, construído com transistores de baixa tensão, entre o sinal de controlo e a Porta dos transistores de alta tensão.

As topologias reivindicadas, com a funcionalidade de deslocador de nível, só utilizam Estruturas NMOS para realizar os dois caminhos de baixa impedância, como mostrado nas Figs. 27 e 28, contendo transistores NMOS (78, 79 e 80), resistências R1 e R2, diodo Zener DZ e diodo rectificador DR. Os elementos R2 ou DZ ou DR, ou um seu subconjunto, podem ser suprimidos em certas configurações, derivando assim algumas variantes de circuitos com funções diferentes e adequadas a uma aplicação específica.

O sinal de controlo (71) actua sobre os circuitos D1 e D2 da interface (70) promovendo a excitação dos transistores de alta tensão da estrutura NMOS (78) e (79). Os valores dos atrasos relativos e dos máximos de corrente e

atingir valores ainda mais elevados de tensão Dreno-Fonte. Com esta técnica, conseguiu-se um melhoramento da disruptão em cerca de 20V relativamente às Estruturas clássicas LDD/LDSD, e um melhoramento de cerca de 40V relativamente aos transistores NMOS convencionais.

2 - Circuitos Baseados em Estruturas NMOS

Os circuitos necessários ao controlo de potência, nomeadamente à excitação dos dispositivos de potência, realizam tipicamente funções de rectificação, retenção, regulação, limitação, deslocamento de nível de tensão, bombeamento de carga e intensificação de excitação.

Descrevem-se a seguir exemplos de topologias destes circuitos, baseadas em Estruturas NMOS, reivindicadas como inovadoras no contexto apresentado. As Estruturas NMOS utilizam basicamente transistores LDSD NMOS descritos em 1., sendo ainda apresentadas soluções topológicas para a concretização dos mesmos circuitos recorrendo a transistores LDMOS [13].

Realce-se que, enquanto no transistor LDSD NMOS, o corpo (tipo P) coincide com o substrato da bolacha, no transistor LDMOS, o corpo (tipo P) do transistor encontra-se ligado à respectiva Fonte, ficando flutuante, tal como os terminais de Dreno e Fonte, em relação ao substrato P da bolacha.

Quando a Estrutura NMOS utilizada for baseada em transistores LDSD NMOS será representada por um símbolo de quatro terminais cujo terminal de substrato do transistor (corpo) será obrigatoriamente ligado ao substrato da bolacha; se for baseada num transitor LDMOS, o quarto terminal (o de corpo) será obrigatoriamente ligado à Fonte do transistor. Se a funcionalidade do circuito for independente do tipo de transistor, a representação do transistor será

feita por um símbolo de três terminais e o terminal do corpo do transistor será omitido.

2.A - Circuitos Zener e Rectificador

Circuitos para aplicações tais como rectificação, retenção, regulação e limitação utilizam diodos rectificadores ou diodos de Zener (Fig. 18), cujo funcionamento pode ser emulado por Estruturas NMOS em determinadas topologias.

As Estruturas NMOS necessitam, na sua grande maioria, de um bloco de Controlo (Fig. 19) para actuar sobre os seus transistores NMOS. Em muitas topologias de circuitos, os diodos parasitas, intrínsecos à Estrutura NMOS, são utilizados para realizar a funcionalidade desejada. Os circuitos de controlo normalmente contêm dois blocos de circuitos: o bloco de Controlo análogo/digital, que é referido à massa do circuito, opera em baixa tensão e utiliza os circuitos e técnicas de controlo convencionais; e o bloco de saída do circuito de Controlo, que é um amplificador de ganho G , podendo conter, tanto transistores de baixa tensão como de alta tensão, e fornece os níveis de tensão e corrente adequados à operação do circuito. As Figs. 19 a) e 19 b) esquematizam o controlo descrito acima.

No projecto e uso destas topologias, a polarização correcta e os limites físicos da tecnologia utilizada na fabricação devem ser respeitados no que tange a tensão e corrente, evitando a dissipação de potência excessiva nas estruturas, que pode levar à degradação do comportamento desejado ou até mesmo à destruição das mesmas. Também os componentes parasitas, correspondentes a efeitos resistivos, capacitivos e indutivos, assim como a diodos e transistores, devem ser considerados e modelados para que operem dentro de limites aceitáveis de frequência de

trabalho e com respostas adequadas nos regimes transitórios, garantindo assim o comportamento funcional como díodo ou como circuito mais complexo.

2.A.1 - Circuito Zener

O Circuito Zener (Figs. 20 e 21) realiza funções equivalentes às de um díodo Zener concretizado com junções PN (Fig. 18 b)). A realização de Circuitos Zener com transistores NMOS (do tipo LDSD na Fig. 20 e LDMOS na Fig. 21) consiste em associar os terminais de Dreno (49), Porta (50) e Fonte (51) de uma Estrutura NMOS (52/60) a um circuito electrónico de Controlo (45/54) referido à massa (56). Note-se que, em geral, o circuito de controlo utilizado para uma estrutura LDSD será diferente do utilizado para uma estrutura LDMOS. No entanto, o princípio de funcionamento é similar, e será descrito abaixo para o caso do transistor LDSD.

O Circuito de Controlo (45) possui um comportamento programável e actua de forma a controlar o valor da tensão entre a Porta - G (50) e a Fonte - S (51), limitando o valor da tensão entre o Dreno - D (49) e a Fonte - S (51) da Estrutura (52) ao valor desejado de tensão de Zener. A programação deste valor para o Circuito Zener é realizada através da aplicação de um sinal analógico ou digital de referência, em tensão ou corrente, Ref, na entrada de referência do Controlo (46).

O controlo opera monitorizando a tensão existente entre o Dreno (49) e a Fonte (51) e actua na Porta (50) da Estrutura, controlando assim a impedância de condução do transistor NMOS (47). Quando a tensão V_{DS} entre o Dreno (49) e a Fonte (51) ultrapassa o valor programado, o controlo actua aumentando a condutividade do transistor (47), de forma a manter V_{DS} no valor programado. Para valores de V_{DS} menores que o valor programado no controlo, nenhuma potência é dissipada na Estrutura NMOS (52) e a corrente no circuito

Zener assume um valor mínimo, que será igual à corrente de polarização do circuito de controlo.

2. A.2. - Circuito Rectificador

O comportamento de um diodo rectificador e da associação diodo rectificador - diodo Zener (Figs. 18 a) e 18 c)) é emulado pelos Circuitos Rectificadores das Figs. 22, 23, 24 e 25, desde que os transistores das Estruturas NMOS (52) e (60) sejam dimensionados correctamente.

O comportamento da associação série, diodo rectificador - diodo Zener, da Fig. 18 c) é reproduzido utilizando uma unidade de Controlo (45) que contém um amplificador (G) e um circuito de monitorização e controlo (Fig. 19), associado a uma estrutura NMOS (52), conforme se mostra na Fig. 22, para uma estrutura NMOS baseada em transistores LDSD NMOS e na Fig. 23 para uma estrutura NMOS baseada em transistores LDMOS, que neste caso recorrem a uma unidade de controlo similar (54).

A estrutura NMOS (52), baseada em transistores do tipo LDSD NMOS, deve ser flutuante e operar dentro dos limites das especificações. Os terminais de Dreno, Porta e Fonte dos transistores nas Estruturas NMOS configuradas como diodo devem operar sempre com tensões positivas em relação ao terminal de massa GND (56). O circuito de excitação G, interno ao Controlo (45), tem como função promover a mínima impedância possível na estrutura NMOS (52), através da aplicação de uma tensão adequada entre a Fonte (51) e a Porta (50), controlada pela tensão entre o Ânodo equivalente ($A\phi$) (49) e o Cátodo equivalente ($K\phi$) (51), ou seja, quando a tensão em $A\phi$ (49) for superior à tensão em $K\phi$ (51), o circuito opera emulando o funcionamento de um diodo polarizado directamente; quando a tensão em $A\phi$ (49) for inferior à tensão em $K\phi$ (51), o cir-

círcito de controlo actua, de forma a levar o transistor (47) ao corte, equivalendo ao comportamento de um diodo sob polarização inversa. Para muitas aplicações em que se pretende o efeito de diodo, o círcito de controlo de ganho G (45), que opera em baixa tensão, é dispensado, sendo reduzido a um curto-círcito entre o Dreno (49) e a Porta (50), ou o Dreno (49) e a Fonte (51), conforme se mostra nas Figs. 24 e 25.

2.B - Deslocadores de nível

Os círcitos deslocadores de nível, frequentemente utilizados em sistemas Integrados Inteligentes de Potência [1], como o círcito apresentado na Fig. 26, recorrem a transistores de alta tensão (75), PMOS ou PNP e NMOS ou NPN. Os caminhos de baixa impedância são activados de forma alternada.

Nos círcitos deslocadores de nível convencionais existe normalmente um círcito de interface, construído com transistores de baixa tensão, entre o sinal de controlo e a Porta dos transistores de alta tensão.

As topologias reivindicadas, com a funcionalidade de deslocador de nível, só utilizam Estruturas NMOS para realizar os dois caminhos de baixa impedância, como mostrado nas Figs. 27 e 28, contendo transistores NMOS (78, 79 e 80), resistências R1 e R2, diodo Zener DZ e diodo rectificador DR. Os elementos R2 ou DZ ou DR, ou um seu subconjunto, podem ser suprimidos em certas configurações, derivando assim algumas variantes de círcitos com funções diferentes e adequadas a uma aplicação específica.

O sinal de controlo (71) actua sobre os círcitos D1 e D2 da interface (70) promovendo a excitação dos transistores de alta tensão da estrutura NMOS (78) e (79). Os valores dos atrasos relativos e dos máximos de corrente e

de tensão em D1 e D2 são especificados em cada projecto de acordo com a aplicação. Em algumas aplicações, D1 e D2 do bloco Interface (70) podem ser colocados em paralelo, utilizando-os como um único circuito de interface (G1 = G2).

Este parágrafo descreve a operação do circuito da Fig. 27. Quando o sinal de controlo (71) está no nível lógico "1", os transistores (78) e (79) estão em condução e o transistor (80) está no corte, pois a tensão na sua Porta (81) está praticamente ao potencial da massa (74). O caminho de baixa impedância de OUT (73) para o terminal da massa (74) é assegurado através do transistor (79). Quando o sinal de controlo (71) está no nível lógico "0", os transistores (78) e (79) passam para um estado de alta impedância e a Porta (81) do transistor (80) passa a ser referida ao menor valor das tensões $HV'R2/(R1+R2)$ ou VZ . O transistor (80) forma assim um caminho de baixa impedância entre o terminal HV (72) e o terminal de saída OUT (73) do circuito. Isto verifica-se para tensões de saída OUT (73) menores que $HV'R2/(R1+R2)-V_T(80)$ ou $VZ-V_T(80)$, em que $V_T(80)$ é a tensão de limiar de condução entre a Porta e a Fonte do transistor (80).

O presente parágrafo descreve a operação do circuito da Fig. 27 na configuração em que o elemento R2 é suprimido do circuito. Ao ligar o Cátodo de um diodo Zener ou de um circuito Zener, representado por DZ na Fig. 27, entre a Porta (81) do transistor (80) e a massa GND (74), o circuito opera de forma similar à descrita acima, e o valor final da tensão OUT (73) será limitado a $V_Z-V_T(80)$ e será independente do valor da tensão de alimentação HV (72) (para valores de HV superiores a V_Z).

Para o caso específico de exclusão da resistência R2 e de DZ do circuito, o valor final da tensão de saída OUT (73) será limitado superiormente

por $HV - V_T$ (80). O valor da tensão final nas condições descritas acima será então definido pela tensão de alimentação HV (72).

As topologias de circuito aqui reivindicadas podem ser concretizadas com transistores NMOS de alta tensão do tipo LDSD NMOS (Fig. 27), ou do tipo LDMOS (Fig. 28). Os circuitos deslocadores de nível construídos com transistores LDMOS contêm adicionalmente o diodo DR na sua topologia. A inclusão deste elemento é necessária para que ambas as topologias apresentadas na Fig. 27 e Fig. 28 tenham a mesma funcionalidade, permitindo a existência de tensões acima de HV no terminal OUT (73), quando o transistor (79) estiver no corte.

Apesar de os circuitos reivindicados possuírem um valor de tensão final OUT (73) um pouco menor que os circuitos concretizados com transistores PMOS ou PNP na posição *High-Side* (ver Fig. 26), podem, ainda assim, ser usados na grande maioria das aplicações que requerem um circuito deslocador de nível. A possibilidade de programar a tensão final máxima de saída da topologia reivindicada, como explicado anteriormente, é uma vantagem em relação à topologia convencional apresentada na Fig. 26.

Os circuitos Deslocadores de Nível (77) apresentados na Fig. 27 e Fig. 28 também podem operar como um deslocador de nível para tensões contínuas, como mostrado na Fig. 29. Por exemplo, se numa dada configuração o sinal de controlo (71) for ligado permanentemente a GND (74), o valor de OUT será limitado ao valor de tensão programado no Circuito Zener ou proporcional a HV, conforme apresentado anteriormente. Nesta configuração, o circuito opera como uma fonte auxiliar de tensão contínua derivada de HV. Esta configuração pode ser utilizada como alimentação auxiliar em circuitos de bombeamento de carga

(charge-pump) e circuitos intensificadores de excitação (*bootstrap*), como se mostrará em 2.C.1 e 2.C.2.

2.C - Circuitos de Excitação

2.C.1 - Circuitos Capacitivos de Bombeamento de Carga

O princípio de funcionamento dos circuitos capacitivos de bombeamento de carga é exemplificado nas Figs. 30 e 31 [13]. O circuito básico da Fig. 30 a) contém pelo menos dois rectificadores, dois condensadores e um circuito de interface LS (*Level Shifter*) (77), alimentados por uma fonte de tensão auxiliar V_{Aux} . O sinal de entrada Rel (80) na entrada da interface LS (77) provém de um oscilador (81) que normalmente gera uma onda quadrada de baixa amplitude. O sinal de saída (82) do circuito de interface LS (77) é estabelecido pelo dimensionamento do circuito e pelas características da Estrutura NMOS utilizada e o seu valor será menor ou igual a V_{Aux} . O condensador C_{Tq} pode ser ligado entre os terminais da associação de diodos rectificadores (84) e (85), representado a traço interrompido, ou entre a saída (85) e o terminal GND (74), dependendo da aplicação.

O circuito da Fig. 30 a) opera a uma frequência imposta pelo sinal de relógio Rel (80). No semi-ciclo positivo de Rel (nível lógico "1") ocorre o carregamento do condensador C_{Bb} , através de D1, com uma determinada carga eléctrica QC_{Bb} , estando a tensão na saída (82) da interface LS (77) referenciada ao terminal GND (74), através do caminho de baixa impedância proporcionado pelo transistor NMOS (79) (Fig. 28). A energia armazenada no condensador provém da fonte V_{Aux} (83). No final deste semi-ciclo há uma tensão aos terminais de C_{Bb} de valor $DV_{C_{Bb}}$, que, como foi referido anteriormente, terá no máximo o valor de V_{Aux} . No semi-ciclo seguinte de Rel (nível lógico "0") a saída (82) da interface LS (77) assume um valor mais próximo de V_{Aux} (limitado pelo valor

máximo de saída da interface LS). Neste intervalo de tempo há uma transferência de parte da carga QC_{Bb} armazenada em C_{Bb} para C_{Tq} através de D2. A cada ciclo de relógio, a tensão v_G em C_{Tq} (85) aumenta em função da energia eléctrica que nele vai sendo armazenada.

A Fig. 30 b) representa uma resposta transitória (volt vs. segundo) de um circuito que utiliza componentes ideais, i.e., interface LS com tensão de saturação nula e rectificadores ideais. Neste caso, após alguns ciclos de bombeamento, a tensão aos terminais de C_{Tq} , V_G , tende para o valor $2V_{Aux}$. Este tipo de circuito é conhecido como circuito duplicador de tensão e é muito utilizado, quer em circuitos discretos, quer em circuitos integrados.

Para projectar um circuito de bombeamento de carga de forma mais exacta, é necessário considerar o valor da tensão de Dreno-Fonte dos transistores NMOS (79) e (80) (Fig. 28) da interface LS (77), a queda de tensão nos diodos rectificadores, a perda de carga dos condensadores, e as perdas nas ligações entre os componentes. Normalmente, o circuito de interface LS (77) é alimentado com uma fonte auxiliar V_{Aux} (83) derivada da fonte de alta tensão HV, que fornece o valor de tensão adequado para a interface LS (77) promover a variação do sinal na sua saída (82) de forma a realizar o carregamento em C_{Tq} da maneira mais rápida e eficiente.

Os circuitos de interface LS realizados com dispositivos de alta tensão, como mostrado nas Figs. 26, 27 e 28, podem ser alimentados directamente pela fonte de alta tensão HV ou por uma fonte V_{Aux} , como exemplificado na Fig. 29, derivada de HV. Tais circuitos possuem uma maior variação nas amplitudes de saída (82) da interface LS (77) exigindo valores de capacidade menores em comparação com um circuito construído com células lógicas CMOS. Nestes circuitos, os dispositivos semicondutores podem ser projectados por forma a que

a tensão de saída da interface LS (77) possa atender à especificação da tensão final de saída V_G do circuito de bombeamento de carga.

Circuitos contendo múltiplos andares construídos utilizando este princípio exibem um valor final da tensão V_G que será, idealmente, igual ao número de andares mais um multiplicado por V_{Aux} . Estes circuitos são vulgarmente chamados multiplicadores de tensão. A Fig. 31 apresenta um circuito triplicador de tensão. Quando comparado com o circuito da Fig. 30 a), este circuito contém um andar adicional composto por um circuito deslocador de nível LS (77), um diodo D3 e um condensador adicional C_{Bb2} e funciona de modo similar. Considerando um circuito construído com componentes ideais, o valor final de V_G é $3V_{Aux}$. Com componentes reais, V_G será um pouco menor, devido às perdas anteriormente citadas.

Os circuitos da Fig. 30 a) e da Fig. 31 foram utilizados para descrever o princípio de funcionamento dos circuitos de bombeamento de carga. Um circuito de bombeamento de carga pode ser configurado como uma fonte de tensão flutuante. O Ânodo do diodo D1, desligado de V_{Aux} , torna-se o pólo (-) da fonte flutuante FPS (acrônimo inglês de *Floating Power Supply*) e o Cátodo D2 da Fig. 30 a), ou o Cátodo de D3 da Fig. 31, o pólo (+). O condensador C_{Tq} pode ser ligado entre o pólo (-) (84) e o pólo (+) (85) da fonte ou entre (85) e (74). Este tipo de circuito (FPS) é frequentemente utilizado para gerar uma tensão acima da tensão de alimentação do circuito de alta tensão e para alimentar as fontes de corrente que são utilizadas para injectar corrente na Porta dos transistores NMOS de potência configurados como *High-Side* ou *Low-Side*, como será explicado em 2.C.2.

As Figs. 32, 33 e 34 apresentam algumas das topologias reivindicadas nesta patente, que actuam como fonte flutuante e utilizam somente Estruturas

NMOS: os diodos rectificadores e diodos Zener são concretizados conforme descrito em 2.A; os circuitos de interface utilizados são os apresentados em 2.B, e 2.C. Os condensadores podem ser integrados ou não. Basicamente, estes circuitos utilizam circuitos deslocadores de nível construídos com Estruturas NMOS, contendo transistores LDSD NMOS ou LDMOS. A estrutura elementar é a da Fig. 35, e a partir dela podem ser facilmente obtidas as topologias do circuito de bombeamento de carga reivindicadas (Figs. 32, 33 e 34).

2.C.2. - Circuito Capacitivo Intensificador de Excitação (*Bootstrap*)

A Fig. 36 a) mostra o esquema eléctrico típico de um Circuito Capacitivo Intensificador de Excitação referido na literatura [13]. Este circuito é constituído tipicamente por um condensador C_{Boot} (93), circuitos de interface BH (91) e BL (99) (*Buffer High-Side* e *Buffer Low-Side*, respectivamente), uma resistência R_{Boot} (92), um transistor de controlo MC (98) e dois transistores de potência, ML (89) e MH (88). O seu funcionamento baseia-se no armazenamento de carga eléctrica no condensador C_{Boot} (93) por forma a manter uma tensão adequada aos seus terminais, permitindo uma alimentação flutuante do circuito BH (91) que serve como circuito de excitação do transistor de potência NMOS, MH (88), controlando o seu estado de condução. O Dreno do transistor MC (98) e um dos terminais de R_{Boot} (92) estão ligados à entrada da interface BH (91) e formam um circuito deslocador de nível. O terminal (-) da fonte de alimentação flutuante formada pelo condensador C_{Boot} (93) está ligado ao terminal da Fonte (90) do transistor MH (88). A tensão de alimentação V_{Aux} (95) é normalmente superior à tensão de alimentação do circuito lógico e pode ser menor que a tensão da fonte de alimentação de alta tensão, HV (101), que alimenta o andar de saída constituído pelo par de Transistores de Potência MH (88) e ML (89). O valor de V_{Aux} (95) pode ser gerado a partir da fonte de alimentação de alta tensão como descrito em 2.B e deve estar de acordo com o

valor de tensão que se pretende aplicar em V_{GS} (MH) (102) para promover a condução plena de MH (88).

O circuito capacitivo intensificador de excitação é vulgarmente utilizado em aplicações onde o sinal de controlo Ctrl (97) é periódico, com uma frequência de operação definida. Para descrever o funcionamento deste circuito, considera-se o período do sinal de controlo Ctrl (97) da Fig. 36 b) dividido em três fases distintas, descrevendo-se, para cada fase, o estado do circuito.

Fase 1: Carga da capacidade C_{Boot} .

Nesta fase o sinal de Controlo Ctrl (97) está a um nível elevado promovendo a condução de MC (98) e ML (89). Durante esta fase, C_{Boot} (93) é carregado com aproximadamente o valor da tensão em V_{Aux} (95) através do diodo D1 (94). Enquanto MC (98) estiver em condução, a interface BH (91) mantém o transistor *High-Side* MH (88) desligado e ML (89) forma um caminho de baixa impedância de V_{out} (90) para a massa do circuito (100), permitindo a carga de C_{Boot} (93).

Fase 2: Início da Acção de Intensificação da Excitação.

Esta fase é caracterizada pela mudança de estado imposta pelo sinal de controlo Ctrl (97), que muda do nível lógico "1" para o nível "0". Neste instante, os transistores ML (89) e ML (98) são desligados e o sinal na entrada da interface BH (91) fica ao potencial do terminal (+) de C_{Boot} (93) e, por consequência, o sinal de saída (102) da Interface BH (91) fica referido a esta tensão, levando o transistor MH (88) ao estado de condução. A tensão V_{out} (90) aumenta em função da corrente que circula na carga até atingir o valor final de $HV - V_{DS}$ (MH). A tensão aos terminais da capacidade C_{Boot} (93) mantém-se

praticamente constante durante o tempo de condução de MH (88) e o valor da tensão na Porta de MH (88), v_G (102), atinge o valor de aproximadamente $HV - V_{DS}(MH) + V_{Aux}$. Neste intervalo, o diodo D1 (94) fica polarizado inversamente e isola a fonte de alimentação V_{Aux} (95).

Fase 3: Condução Franca de MH.

Segue-se a fase em que o transistor MH (88) entra em franca condução. Enquanto MH (88) está na fase de condução, C_{Boot} (93) descarrega-se através da corrente fornecida ao circuito de excitação (91) de MH (88). A duração máxima desta fase é determinada pelo tempo durante o qual o condensador C_{Boot} (93) consegue manter uma tensão adequada à alimentação da interface BH (91), e esta por sua vez mantém a tensão na Porta de MH (88) permitindo que MH (88) se mantenha em condução. Observe-se que a descarga do condensador C_{Boot} (93) é devido à transferência de carga para a Porta de MH (88) e às perdas devidas aos elementos dissipativos parasitas. Normalmente o dimensionamento de C_{Boot} (93) é feito de modo a permitir que a sua tensão se reduza apenas de 10% durante o ciclo de trabalho.

O circuito apresentado na Fig. 36 a) é adequado para aplicações onde a frequência de operação é bem definida, pois é necessário definir o valor adequado de C_{Boot} (93) para cada circuito e a respectiva frequência de operação. Tal técnica tem a vantagem de ser simples, permitindo comutar MH (88) em alta frequência utilizando um reduzido número de componentes de alta tensão. Porém, é limitada a um reduzido número de aplicações, pois pode existir uma situação indesejável onde tanto ML (89) como MH (88) estejam a conduzir durante o mesmo intervalo de tempo. Circuitos derivados deste, mas com um controlo mais elaborado, podem evitar a condução simultânea, sendo os mais utilizados para comutar transistores associados em configurações de ponte e meia-ponte *High-Side* [13].

A Fig. 37 apresenta uma topologia diferente do circuito da Fig. 36 reivindicada como inovadora nesta patente, que apenas utiliza transistores NMOS. O bloco Deslocador de Nível NMOS (77) apresentado em 2.B, apresenta a funcionalidade exigida à interface BH (91) da Fig. 36 a). O circuito de controlo (96) do intensificador de excitação das Figs. 36 a) e 37 pode ser programado para promover os atrasos adequados à excitação de MH (88) em relação à excitação de ML (89) para evitar a condução simultânea de ambos. O diodo D1 (94) pode ser realizado como descrito em 2.A ou através de uma junção PN, em processos onde haja diódos que suportem alta tensão.

A Fig. 38 a) apresenta uma outra topologia para a realização de um Circuito Capacitivo intensificador de excitação para controlar a condução do transistor NMOS de potência MH (88). A concretização do circuito requer um condensador C_{Boot} (93), uma resistência R_{Boot} (92) e duas interfaces deslocadoras de nível LS1 (77A) e LS2 (77B), como por exemplo os deslocadores de nível (77) descritos anteriormente em 2.B. Para esta aplicação, a interface LS1 (77A) é programada para atingir a tensão final de V_{Aux} (95), que é o valor que deve ser aplicado em V_{GS} (MH) para a plena condução de MH (88). A interface LS2 (77B) é programada para que a sua tensão de saída varie até um valor o mais próximo possível de HV (72) (101, na Fig. 36 a)), que alimenta tanto o Dreno de MH (88) como as interfaces LS1 (77A) e LS2 (77B). A Fig. 38 b) apresenta o diagrama temporal do sinal de controlo Ctrl (71) e das tensões de saída V_{out} (90) e tensão da Porta (73) (102, na Fig. 36 a)) de MH (88), durante um ciclo de ligação e desligação de MH (88). Para efeito de análise, o ciclo foi, como anteriormente, dividido em três fases.

Na Fase 1, o transistor MH (88) está desligado. Os sinais A (71A) e $A\phi$ (71A ϕ) na entrada das interfaces LS1 (77A) e LS2 (77B) estão

José Pêgo da Cunha
JPC

simultaneamente no nível "1", baixando as suas saídas para o potencial da massa (74) (100, na Fig. 36 a)). A tensão entre a Porta (73) e a Fonte (90) de MH (88), V_{GS} (MH), é praticamente nula e não há corrente circulando na carga Z_{Carga} (104).

Durante a Fase 2 há dois intervalos distintos. O primeiro intervalo corresponde à carga da capacidade C_{Boot} (93). Isto ocorre logo após a transição do sinal de controlo A (71) do nível "1" para o nível "0". Neste estado, a saída da interface LS1 (77A) fornece energia para a carga do condensador C_{Boot} (93) até ao nível de tensão programada em LS1 (V_{Aux}), como descrito em 2.B. Simultaneamente, o condensador equivalente ao efeito capacitivo entre a Porta e a Fonte do transistor MH (88) também é carregado através da saída da interface LS1 (77A). O sinal $A\phi$ (71A ϕ) permanece no nível lógico "1" durante um intervalo Dt suficiente para a carga de C_{Boot} (93) através de LS1 (77A) e LS2 (77B) e para atingir o valor de tensão definido por projecto, V_{Aux} , que promove a condução de MH (88). Após o intervalo Dt , o sinal $A\phi$ comuta do nível "1" para o nível "0" iniciando assim o segundo intervalo desta fase, que é caracterizado pela acção de intensificação da tensão de V_G (102). O terminal (-) de C_{Boot} (93) passa a ser referido ao potencial existente na Fonte do transistor MH (88) através da resistência R_{Boot} (92). Deste modo, a tensão V_{GS} (MH) será praticamente a mesma que a tensão existente em C_{Boot} (93), e a Fonte HV (72) passa a fornecer a máxima corrente à carga Z_{Carga} (104) através do transistor MH (88).

A Fase 3 de operação deste circuito é caracterizada pela permanência dos sinais A e $A\phi$ a um nível lógico "0" após a tensão V_G (73) atingir o seu valor final de aproximadamente $HV + V_{Aux}$, como mostrado na Fig. 38 b). Esta fase dura até ao momento em que os sinais de controlo A (71A) e $A\phi$ (71A ϕ) passam simultaneamente do nível lógico "0" para o nível lógico "1",

promovendo a descarga do condensador C_{Boot} (93) e levando o transistor MH (88) ao corte, o que caracteriza o estado inicial para um novo ciclo. Observe-se que o andar de saída dos circuitos deslocadores de nível LS1 (77A) e LS2 (77B) utilizados é realizado com transistores NMOS que permitem que as tensões de saída atinjam um valor acima da tensão de alimentação HV (72) das interfaces.

Ao circuito da Fig. 38 a) pode ser acrescentado um transistor ML (89), ligado entre a Fonte (90) de MH (88) e a massa GND (74) numa configuração *Low-Side*, controlado directamente pelo circuito de controlo, como no circuito da Fig. 37.

2.D - Fonte de Corrente Flutuante.

As fontes de corrente são frequentemente utilizadas para controlar a carga e descarga do condensador equivalente de entrada C_{GS} dos transistores de potência que alimentam a carga exterior [13]. Os circuitos que utilizam fontes de corrente como forma de controlar a injecção e drenagem da carga em C_{GS} , tanto para impor a condução como o corte do transistor, permitem o controlo e comutação através de algoritmos optimizados de acordo com o tipo de carga que se pretende alimentar. Em tecnologias de fabrico dedicadas à integração de dispositivos inteligentes de potência que disponibilizam transistores de alta tensão NMOS e PMOS, a realização de fontes de corrente para alimentar transistores *High-Side* é facilitada pela existência do transistor PMOS de alta tensão.

A Fig. 39 mostra um circuito típico [13] que utiliza uma fonte de corrente flutuante (106) para injectar corrente num dispositivo de potência em topologia *High-Side* (88) levando-o ao estado de condução. Uma outra fonte de corrente referenciada à massa, cujo andar de saída é constituído pelo transistor

M4 (108), é utilizada para drenar a corrente da Porta de MH (88) trazendo-o ao corte.

Uma fonte de corrente construída em tecnologia MOS consiste basicamente no controlo da tensão V_{GS} aplicada a um transistor. Quando este transistor estiver a operar na região de saturação, a sua corrente de dreno será praticamente dependente só de V_{GS} . Tipicamente, a fonte de corrente de referência é realizada com circuitos analógicos construídos com transistores de baixa tensão ligados ao terminal GND (100). A corrente gerada em (109) é espelhada ou copiada por circuitos construídos com transistores MOS, tipo N (108 e 110) e tipo P (111 e 112), e o transistor bipolar NPN (113) que operam em alta tensão. No circuito exemplo da Fig. 39, o condensador C_{Boot} de um circuito intensificador de excitação (*bootstrap*), descrito em 2.C, é utilizado como fonte flutuante de tensão – FPS, para alimentar a fonte de corrente (106). Outra opção consistiria na utilização de um circuito capacitivo de bombeamento de carga (*charge-pump*) previamente apresentada na secção 2.C.1.

São reivindicadas nesta patente topologias para fontes de corrente com a função de injectar ou drenar corrente tanto em transistores *High-Side* como em transistores *Low-Side* construídos exclusivamente com Estruturas NMOS. Das diversas topologias possíveis, a Fig. 40 apresenta uma topologia destinada a operar como um circuito de fonte de corrente injectando corrente na Porta de um transistor NMOS, MH (88), numa configuração *High-Side*.

Como visto anteriormente em 2.A, é possível a realização de circuitos que emulam o comportamento de um diodo Zener flutuante utilizando Estruturas NMOS. O valor da tensão de Zener destes circuitos pode ser programado dinamicamente através de um circuito de controlo que opera em

baixa tensão. Também foi mostrado em 2.B que é possível construir fontes de tensão flutuantes utilizando somente Estruturas NMOS.

Na Fig. 40, os componentes do bloco (121) formam uma fonte de corrente flutuante baseada em Estruturas NMOS. A saída da fonte de corrente (121) está ligada à Porta (102) de MH (88), e é utilizada para injectar corrente levando MH (88) à condução. Os componentes do bloco (122) formam uma fonte de corrente referenciada à massa (100), que tem como função drenar corrente da Porta (102) do transistor MH (88), trazendo-o ao corte.

A fonte de corrente flutuante (121) é composta basicamente por um circuito Zener representado por DZP (115), um transistor NMOS de alta tensão representado por MI (117) e uma resistência R1 (116). Estes componentes são alimentados por uma fonte de tensão flutuante, identificada como FPS (*Floating Power Supply*) (118), cujo terminal (-) está ligado à fonte de alta tensão HV (101). A fonte de tensão FPS (118) tem uma amplitude de cerca de uma dezena de volts. O componente DZP (115) representa um circuito Zener programável, com o controlo referenciado ao terminal GND (100), que tem por função manter a tensão V_{GS} (MI) (117) num determinado valor programado, controlando assim a injeção de corrente na Porta (102) do transistor MH (88), segundo o algoritmo especificado para a aplicação. É importante salientar que o controlo realizado sobre o circuito Zener (115) determina o valor de corrente que passa em MI (117). Em particular, é possível gerar um valor de tensão no circuito Zener DZP (115) que não permite a passagem de corrente em MI (117). A resistência R1 (116) deve possuir tipicamente um valor elevado, tendo como função promover a polarização do circuito DZP (115) e colocar a fonte flutuante de corrente (121) ao potencial dado pela soma das tensões $HV + V_{(FPS)}$.

Durante a injecção de corrente na Porta (102) do transistor MH (88), o transistor M1 (117) actua como fonte de corrente, o interruptor CH1 (119) do bloco (122) está aberto e o transistor M5 (120) não exerce nenhuma influência na Porta de MH (88). Durante a drenagem de corrente da Porta (102) do transistor MH (88), o valor de DZP (115) é ajustado de modo reduzir ou anular a passagem de corrente em M1 (117). A fonte de corrente (122) referenciada à massa é activada quando se pretender levar MH (88) ao corte. O interruptor CH1 (119) é fechado e o transistor M5 (120) passa a drenar corrente da Porta (102) de MH (88) levando-o ao corte, como pretendido.

Lisboa, 28 de Abril de 1999


JOÃO PEREIRA DA CRUZ

ENGENHEIRO

Agente Oficial da Propriedade Industrial
RUA VICTOR CORDON, 14 - 3º
1200 LISBOA

Jack L. Newell, Jr. AIA

1/20

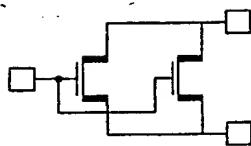


Fig. 1

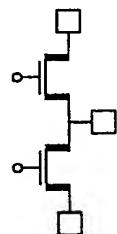


Fig. 2

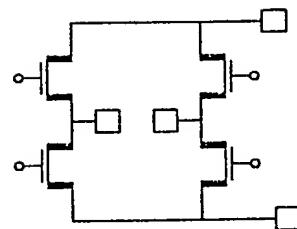


Fig. 3

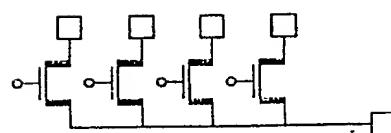


Fig. 4

Lucas Lamego da Cunha

2/20

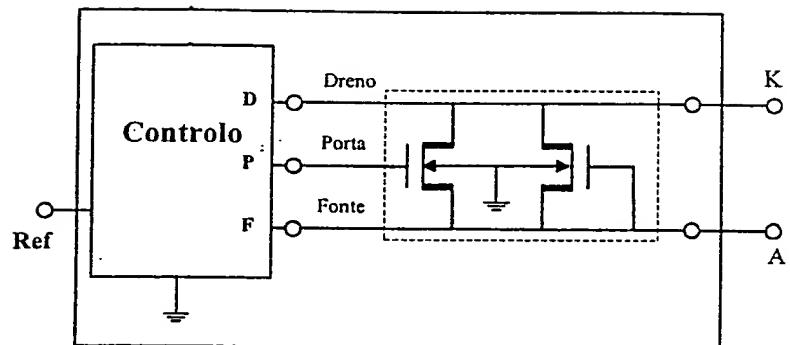


Fig. 5

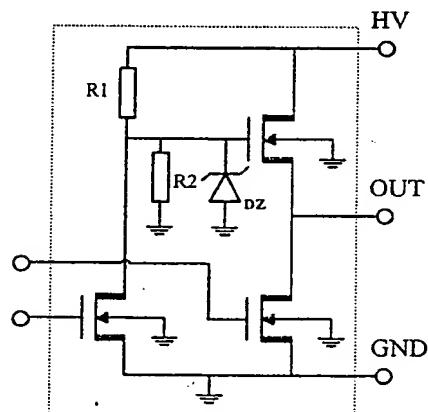


Fig. 6

José Paranhos da Cunha

3/20

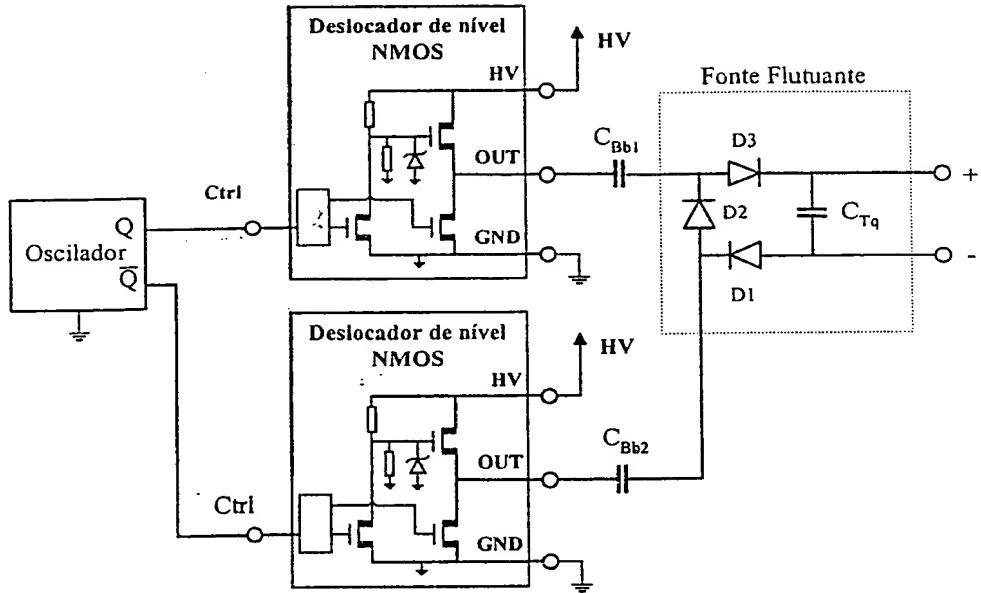


Fig. 7

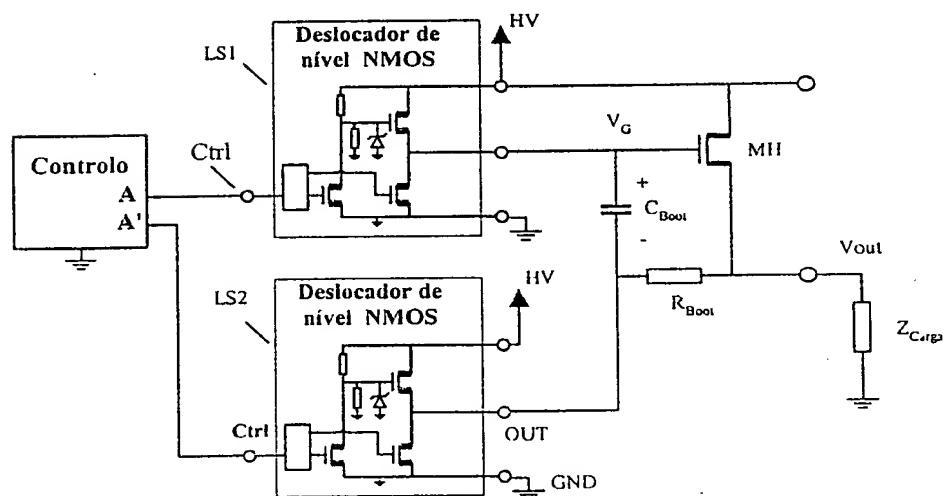


Fig. 8

José Pérez de Arce

4720

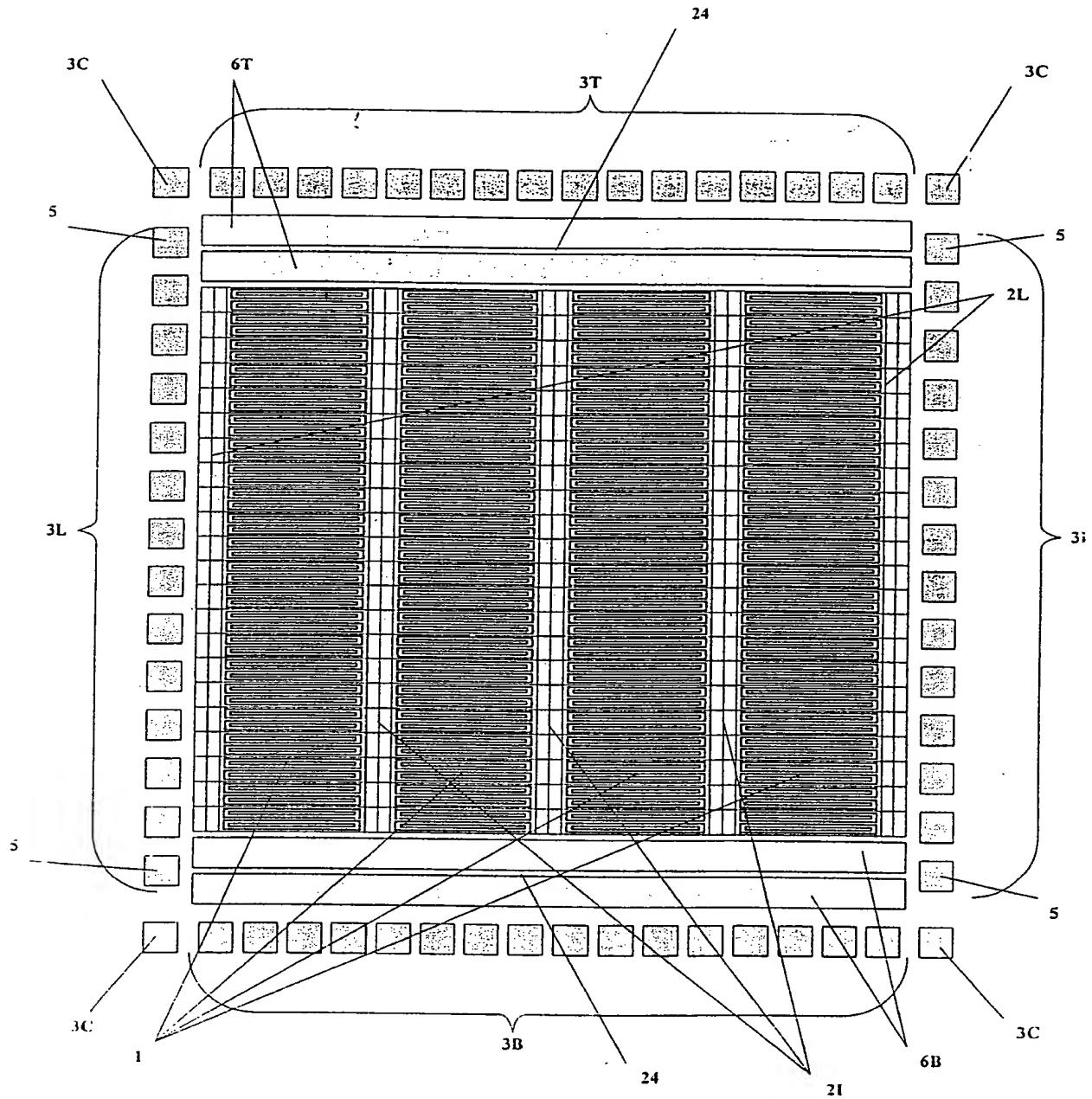


Figura 9

José Paganini Carrasco

5/20

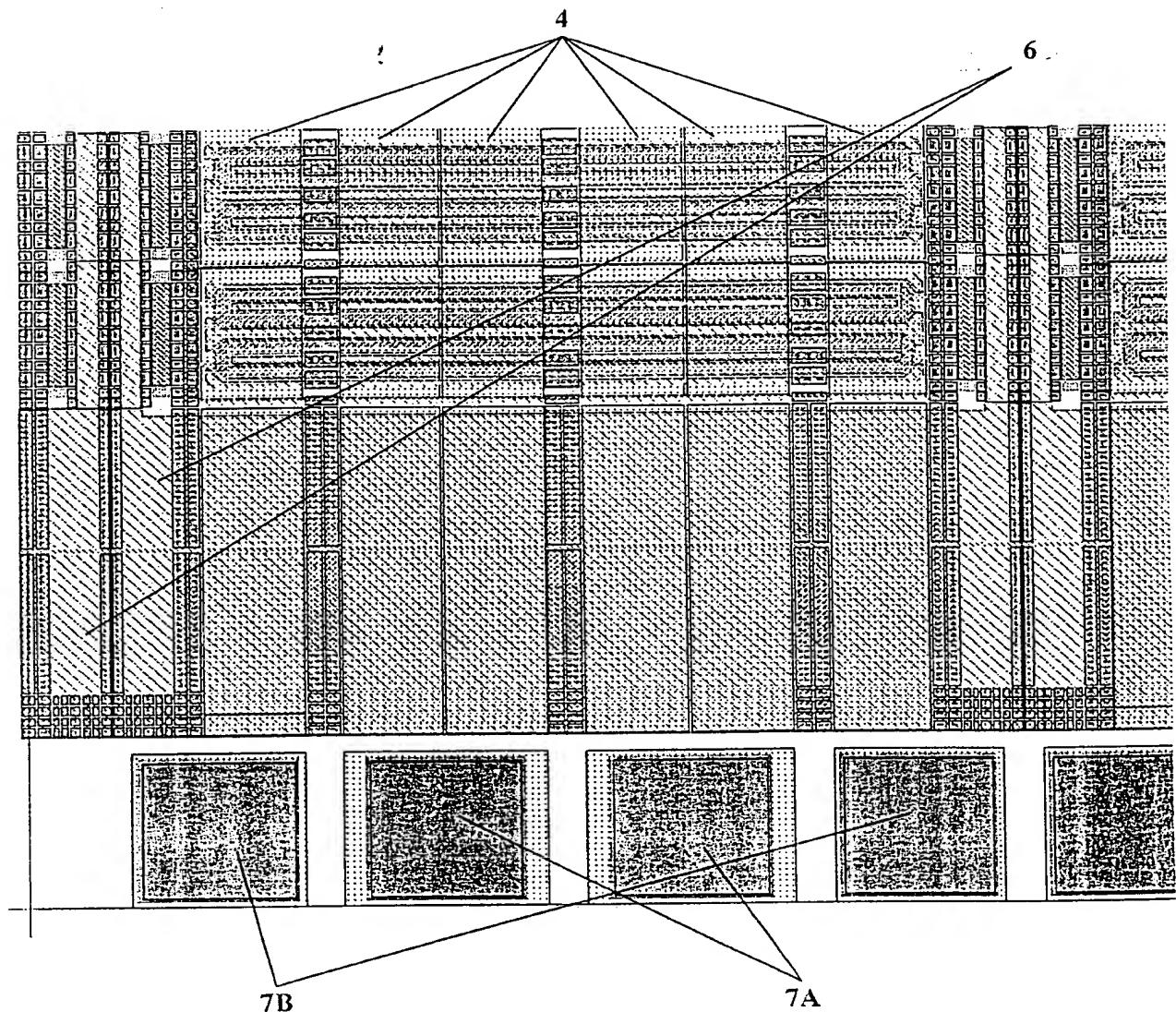


Figura 10

Acciò l'opuscolo sia chiaro

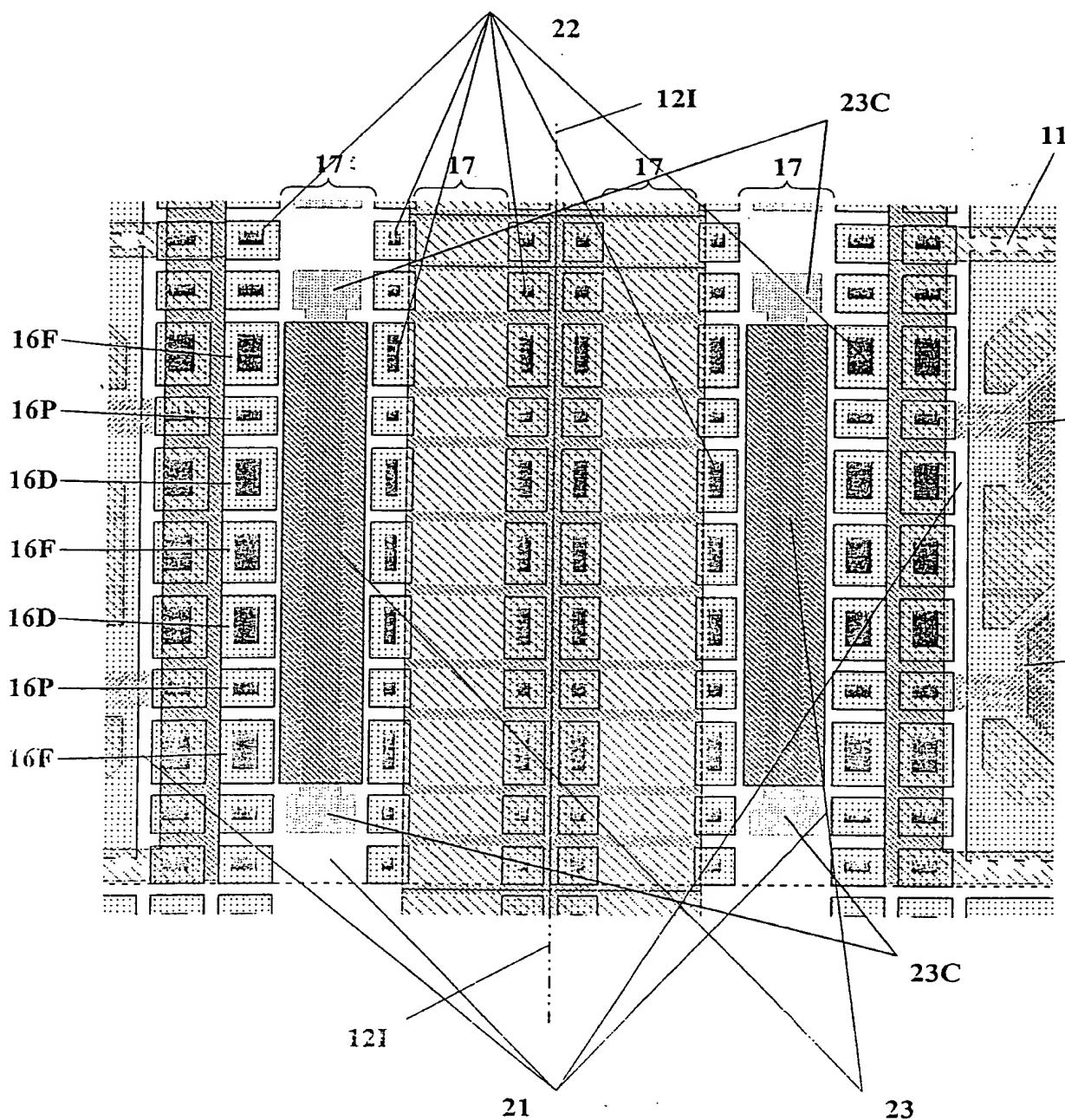


Figura 11

João Pedro da Cunha

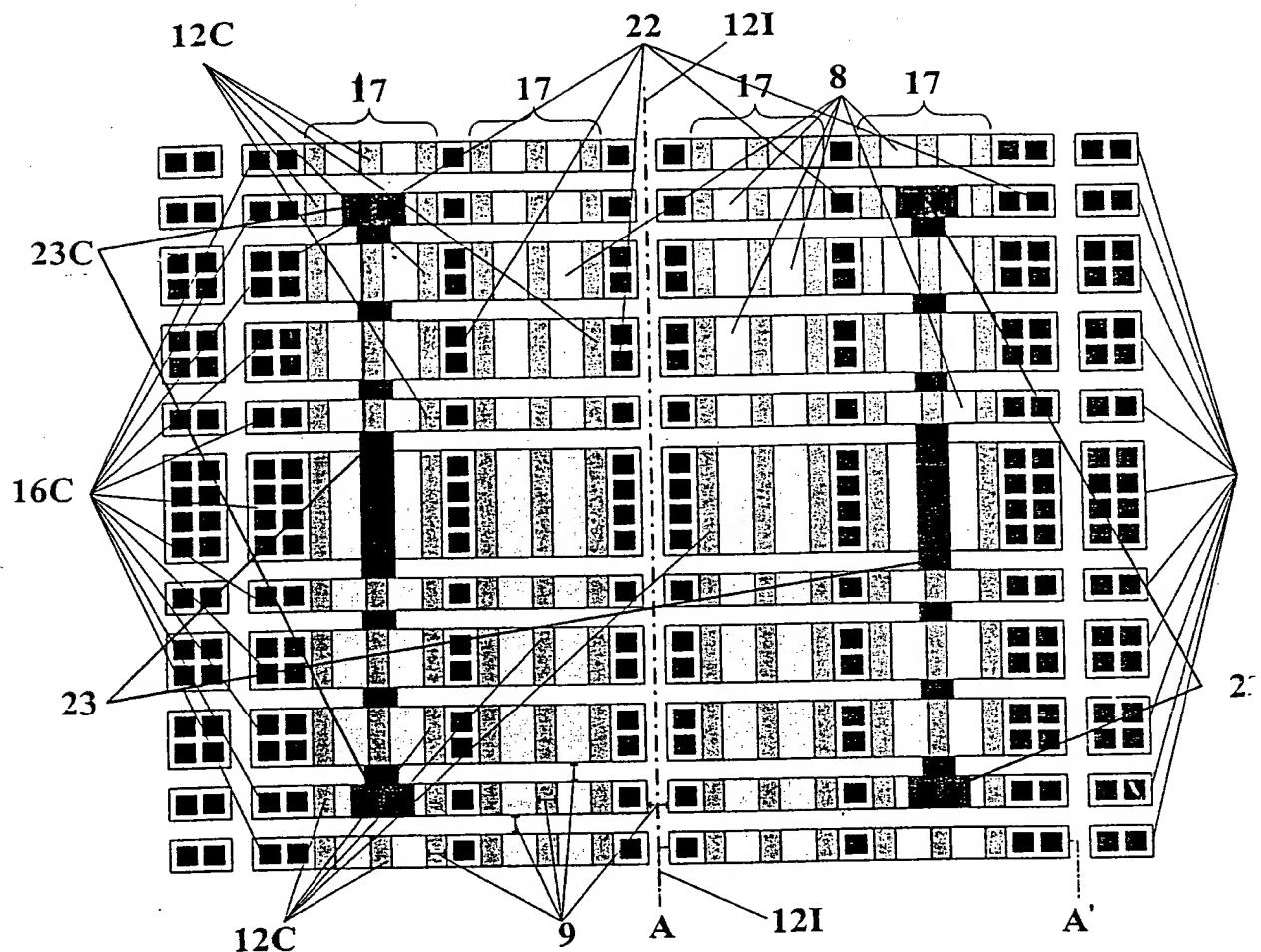


Figura 12

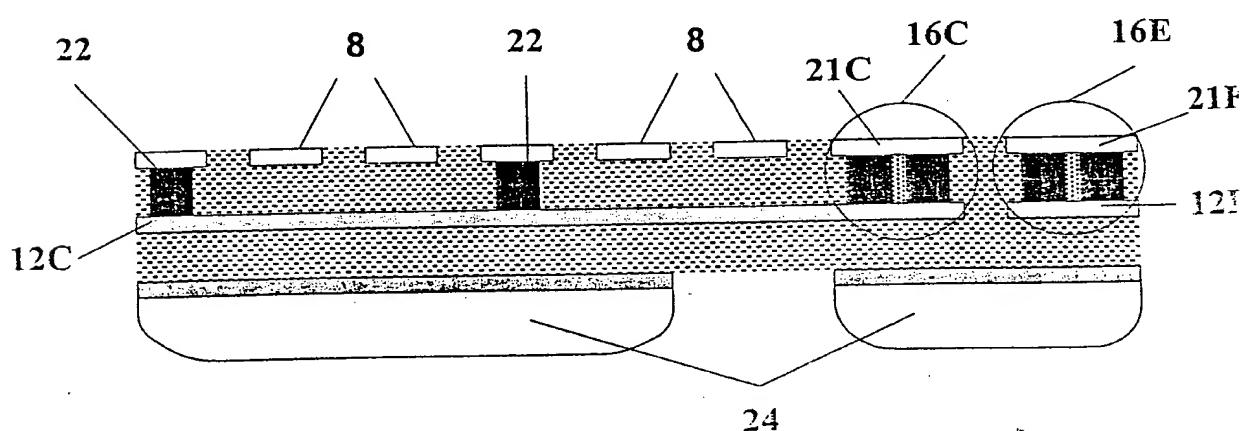


Figura 13

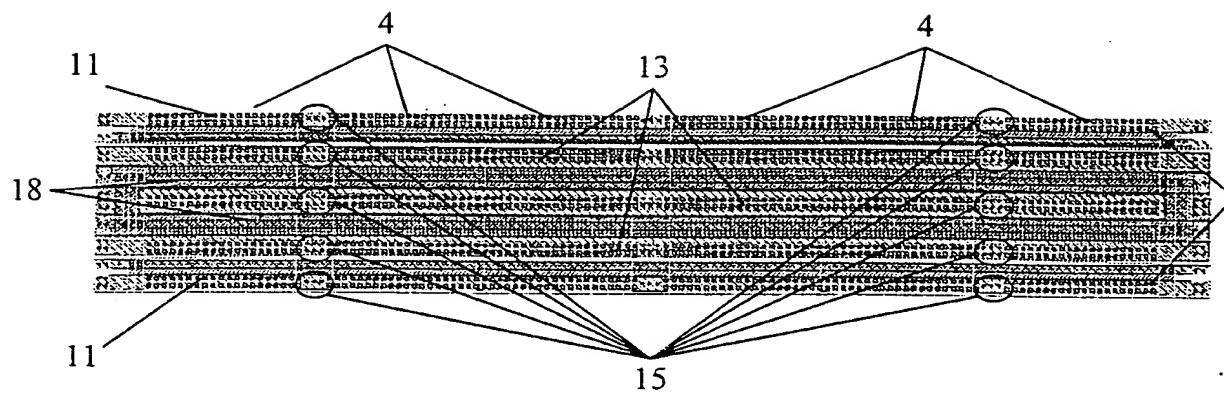
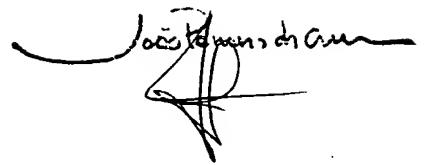


Figura 14 – Estrutura de comutação com transistores NMOS aninhados.

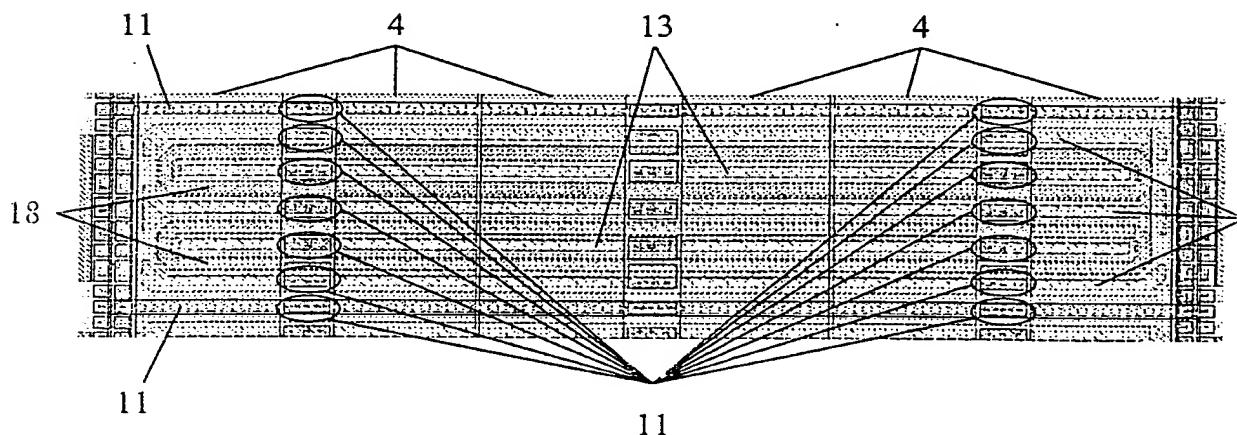


Figura 15

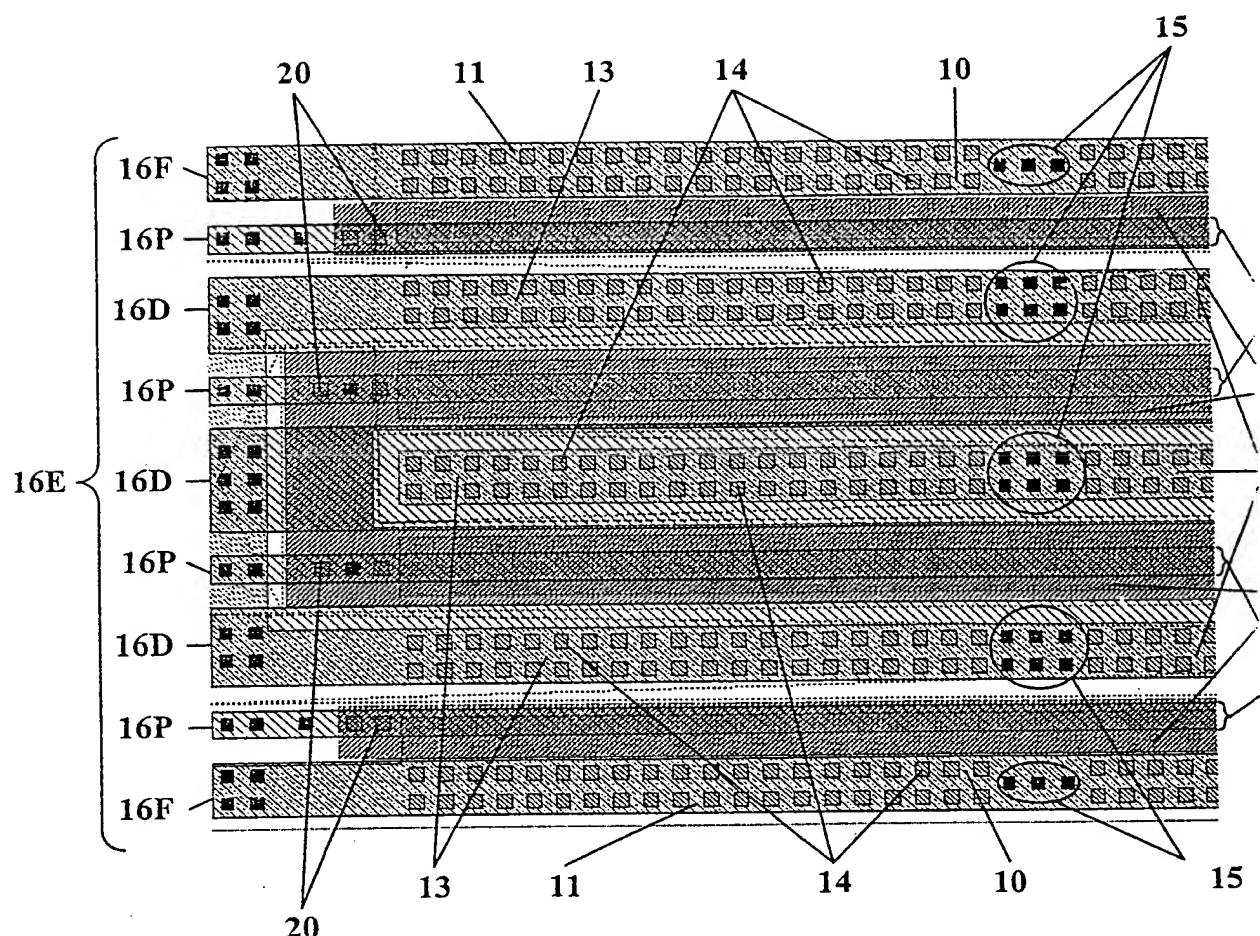


Figura 16

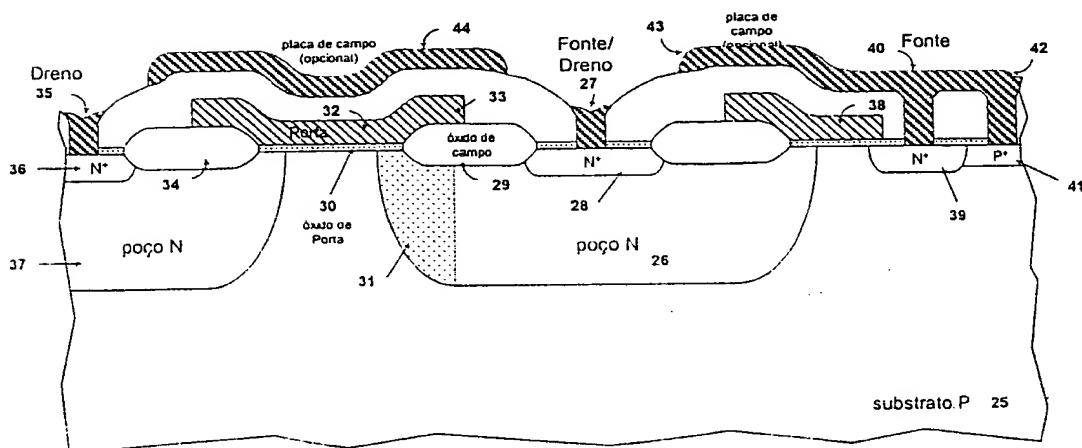


Figura 17

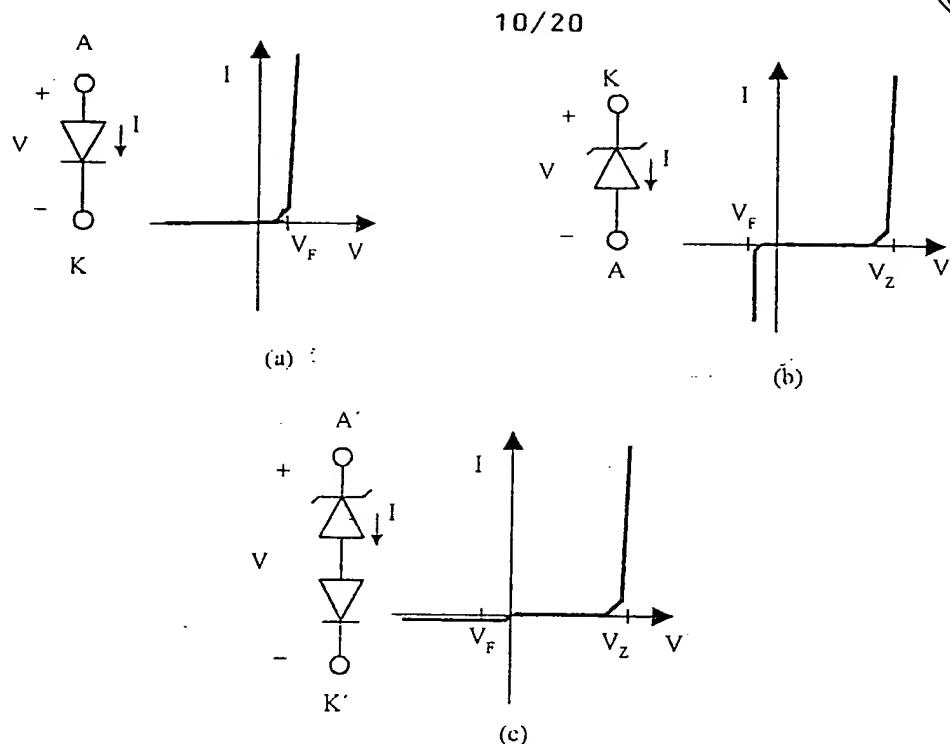


Figura 18

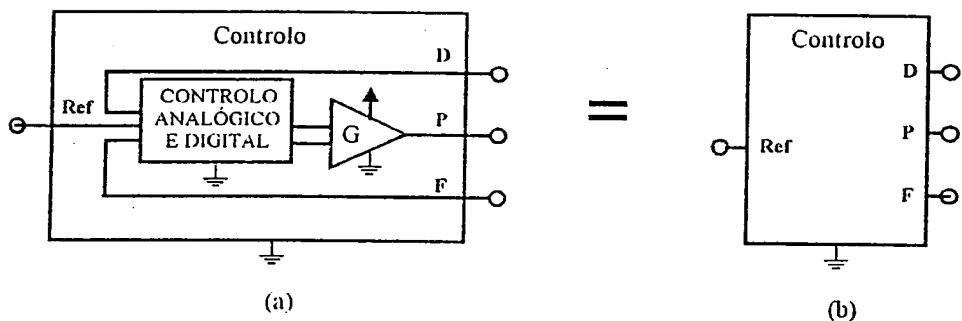


Figura 19

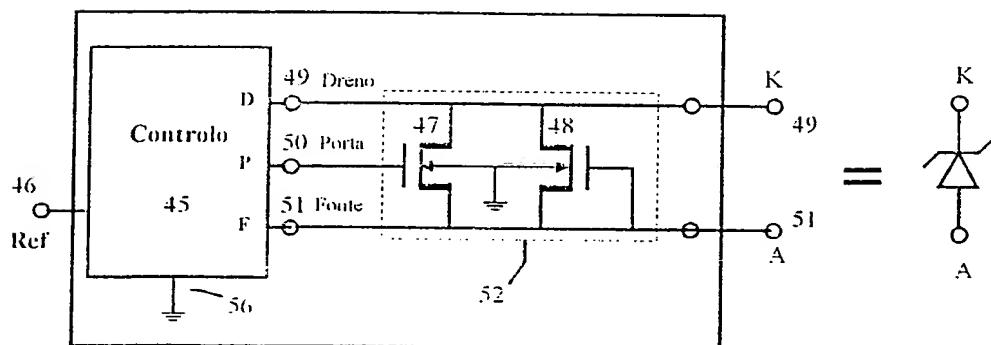


Figura 20

~~João Pangrazi Cunha~~

11/20

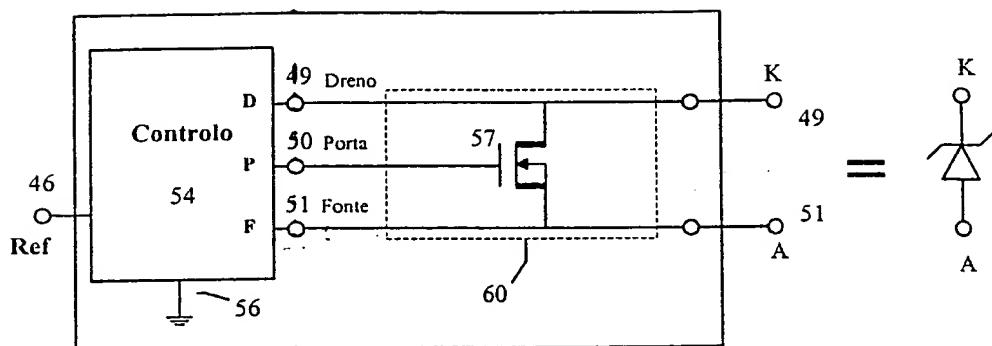


Figura 21

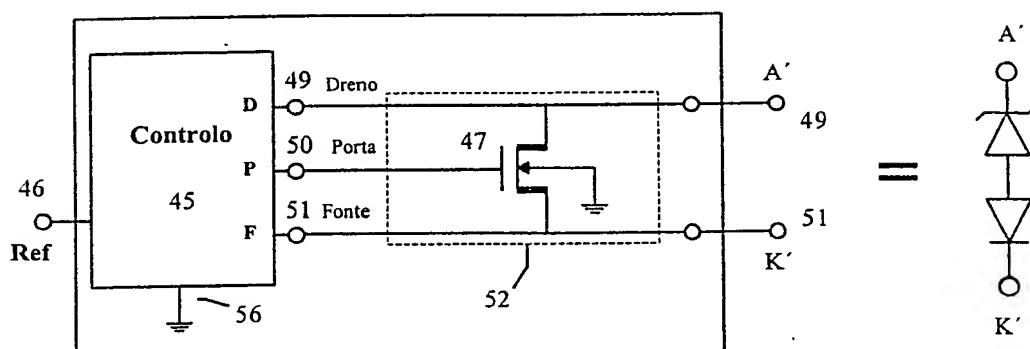


Figura 22

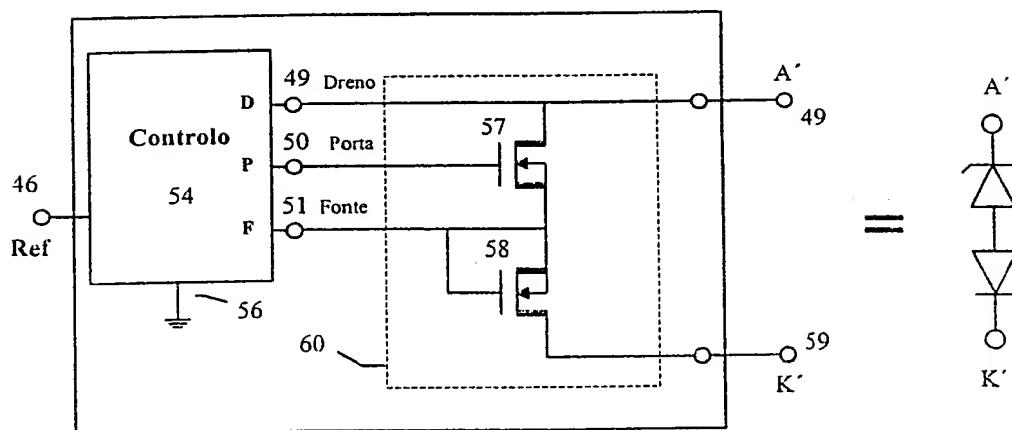


Figura 23

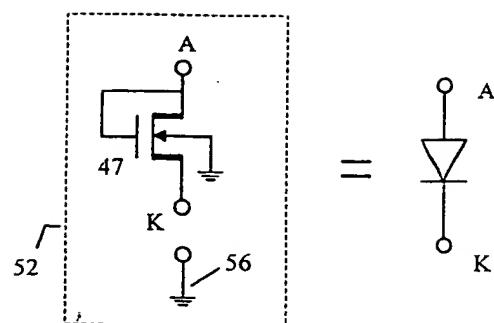


Figura 24

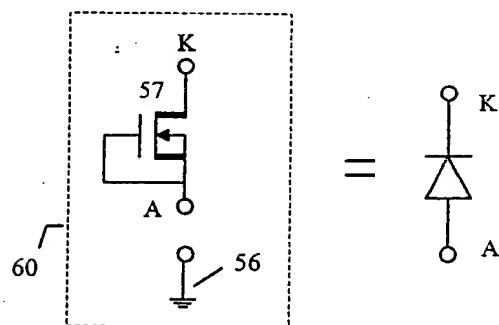


Figura 25

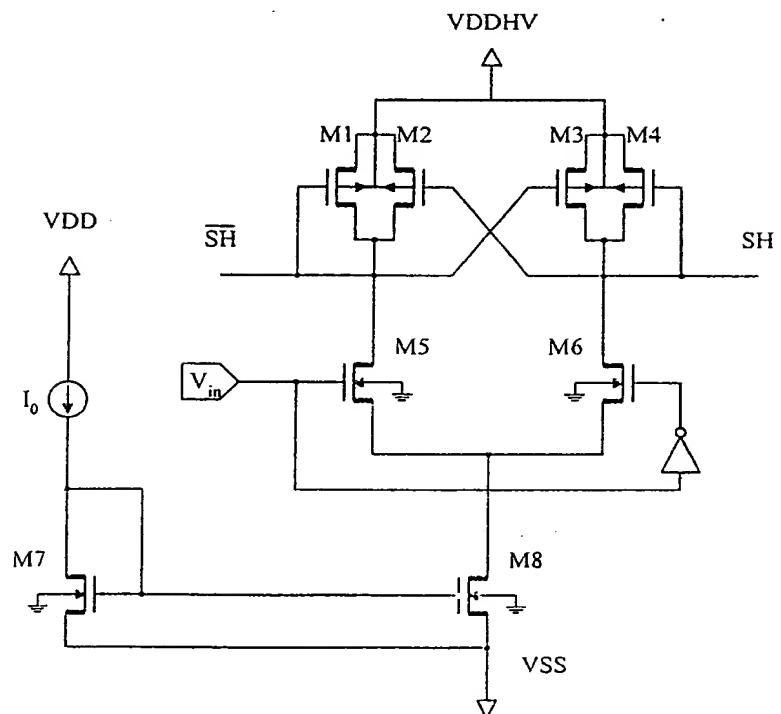


Figura 26

José Parafita da Cunha

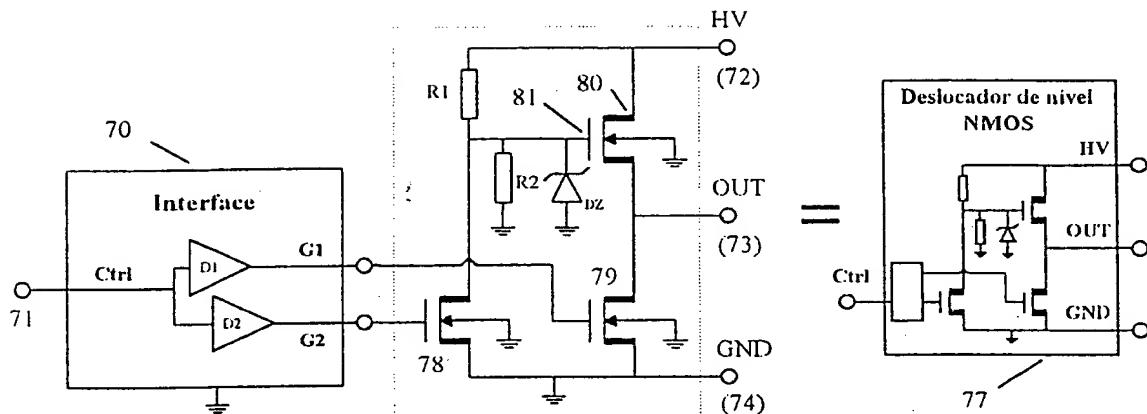


Figura 27

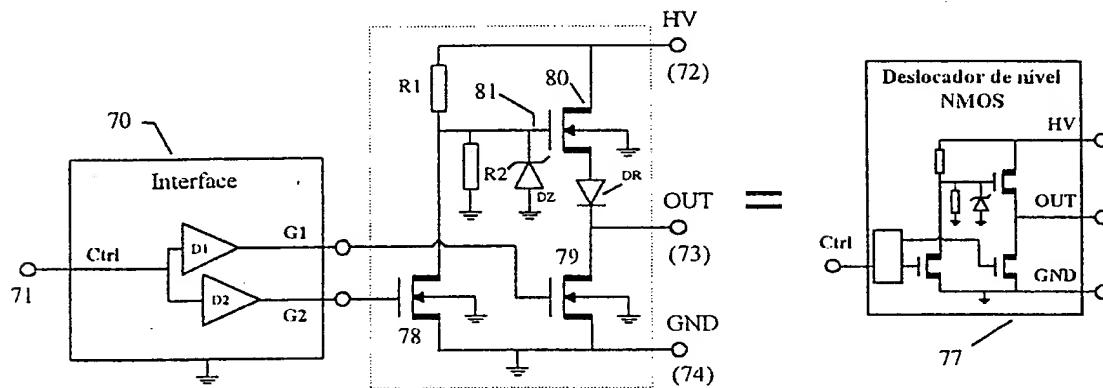


Figura 28

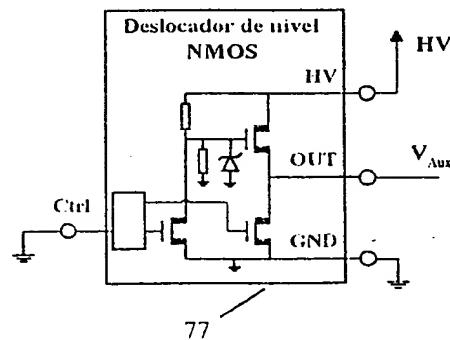


Figura 29

José Penas de la Cruz

14/20

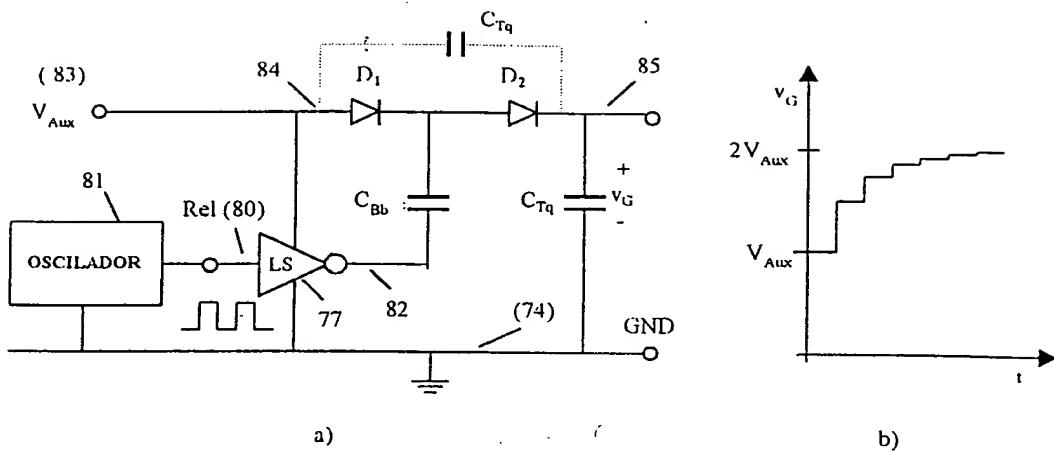


Figura 30

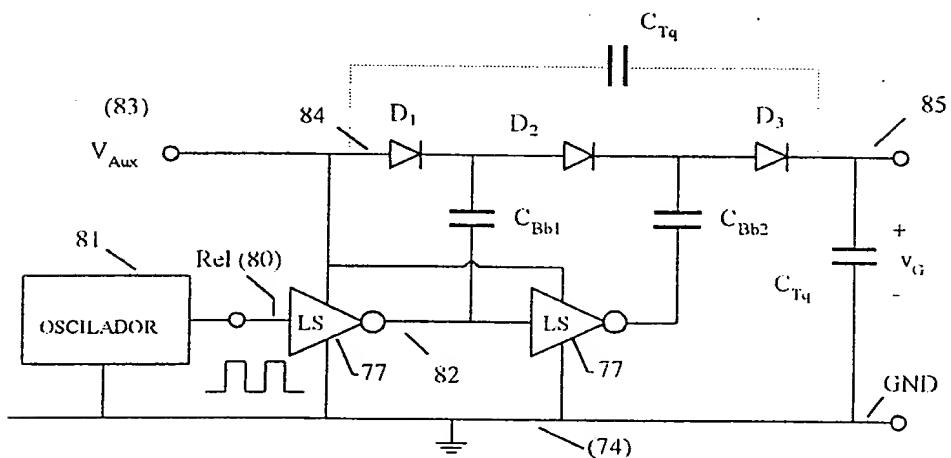


Figura 31

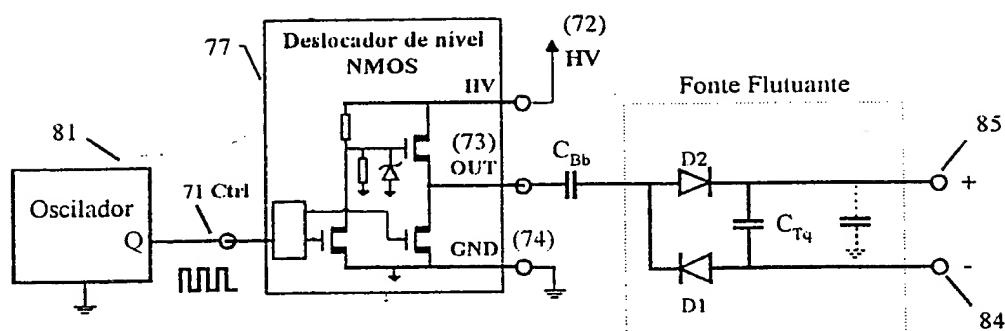


Figura 32

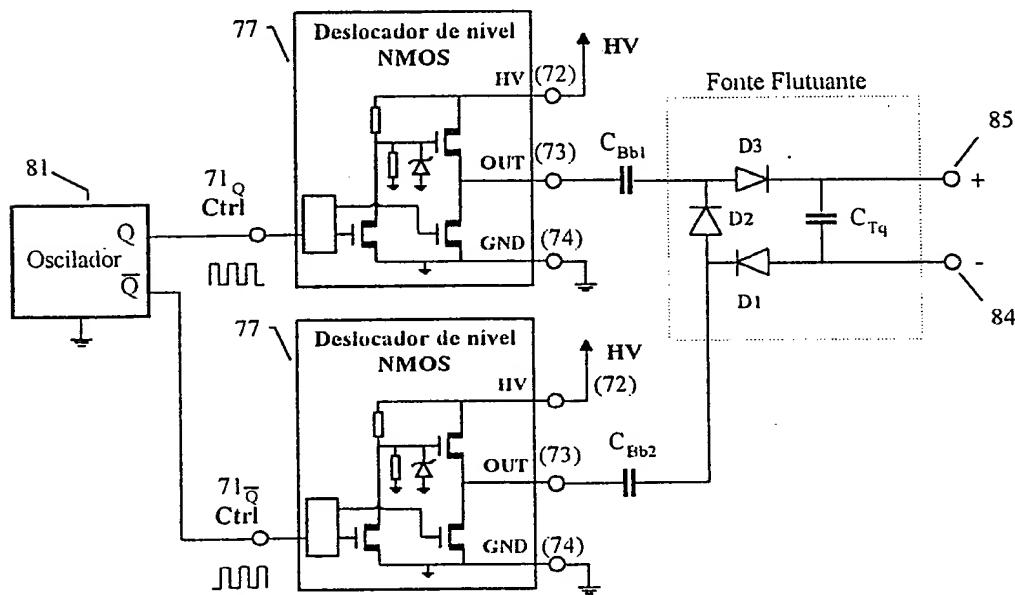


Figura 33

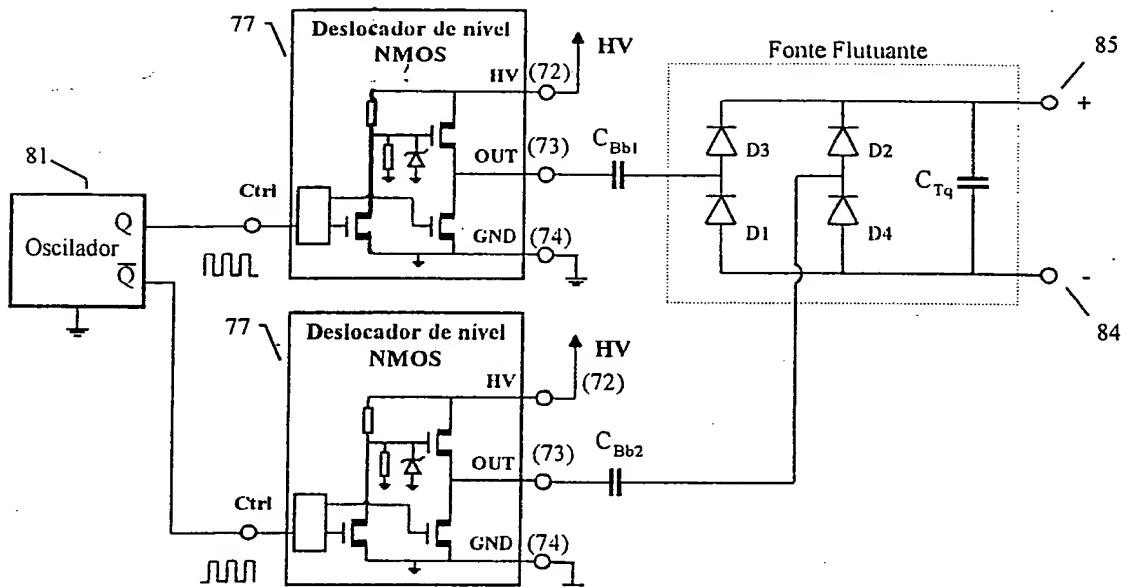


Figura 34

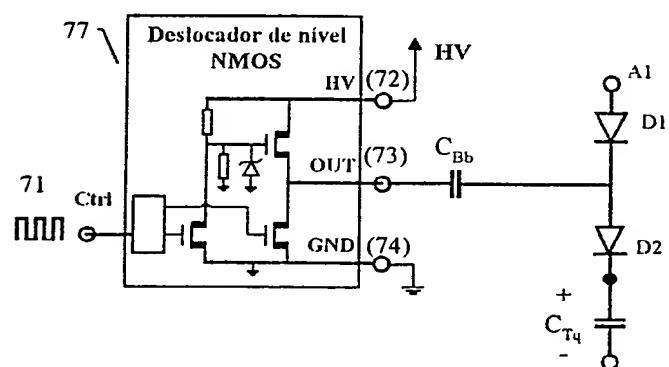


Figura 35

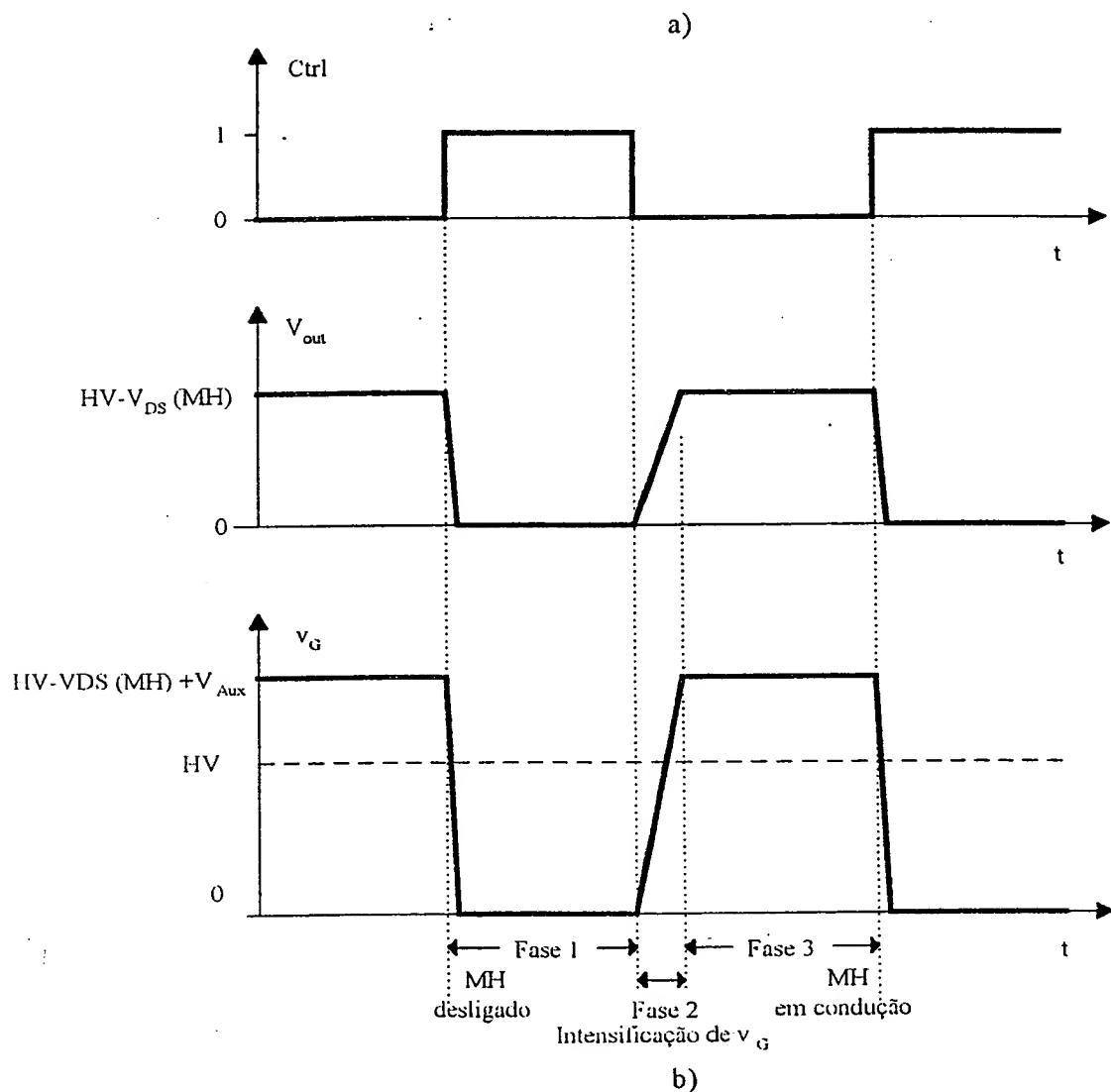
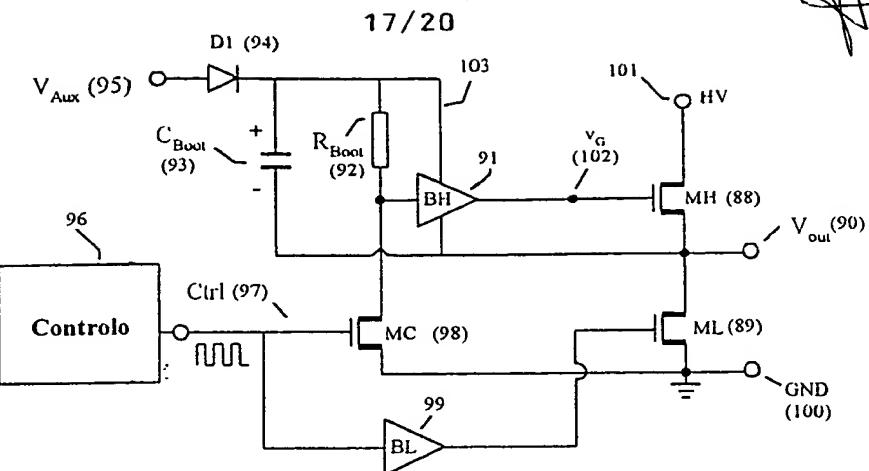
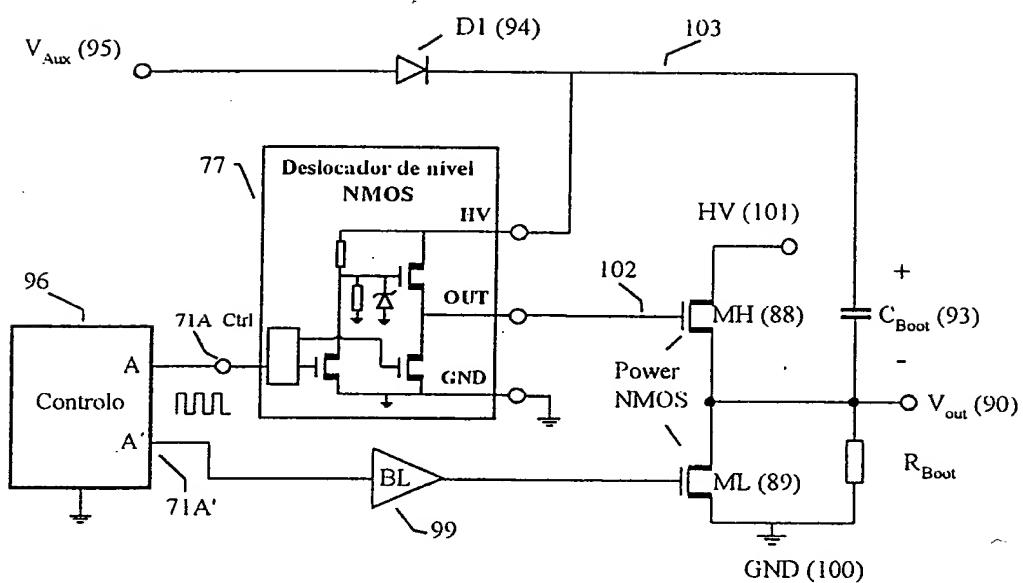


Figura 36

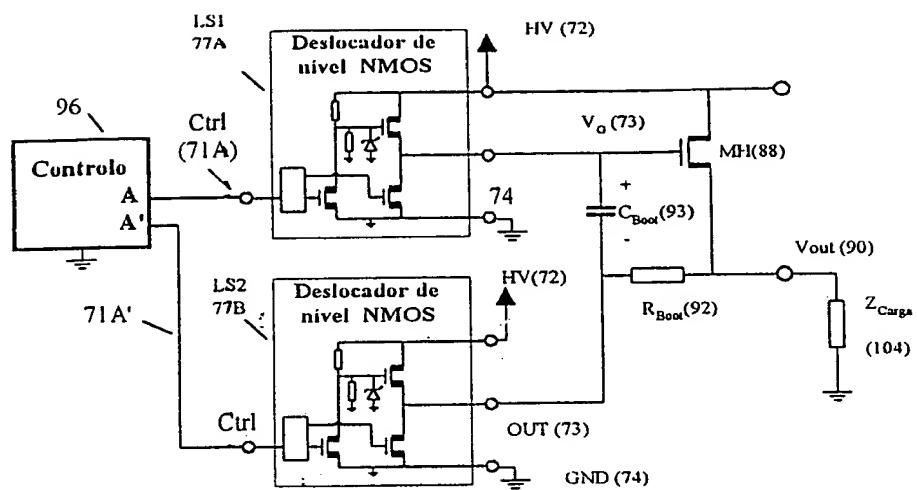
18/20

José Pérez de Arce



José Raymundo

Figura 37



a)

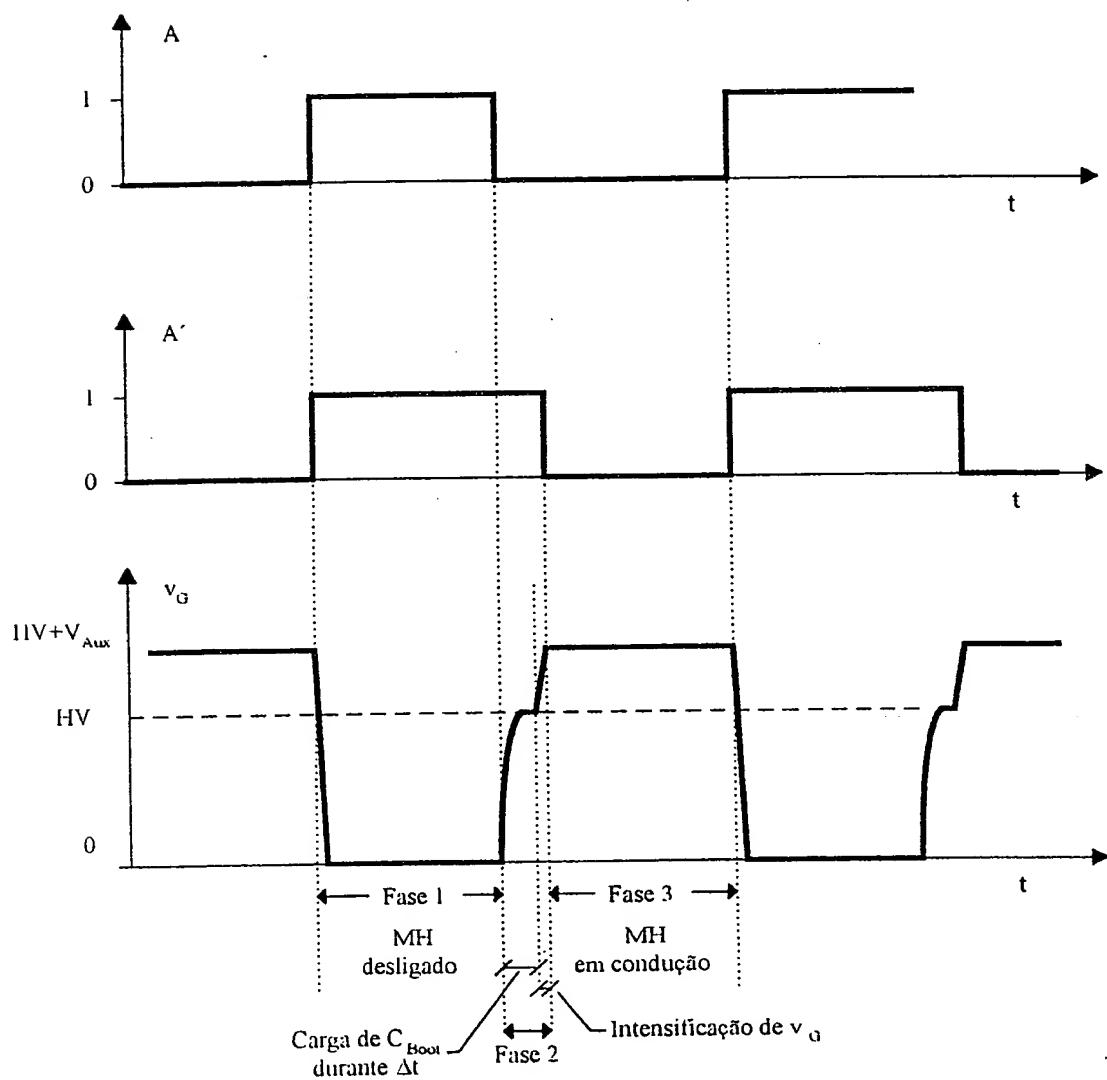


Figura 38

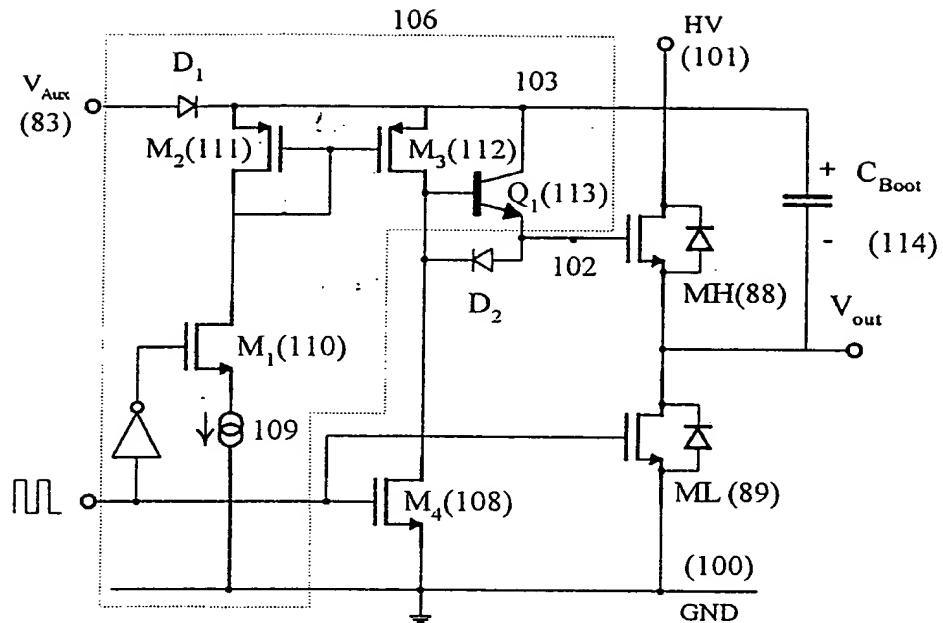


Figura 39

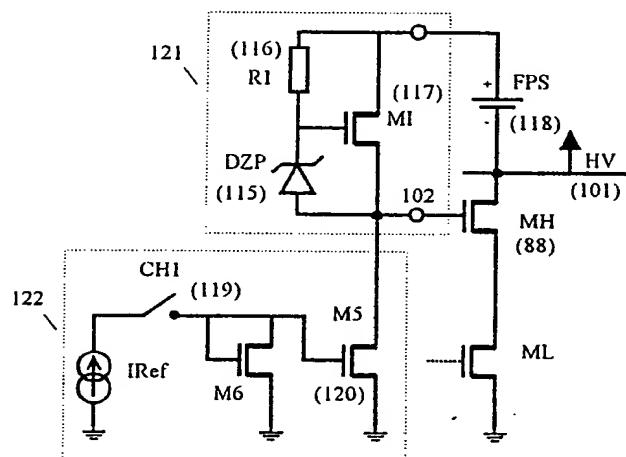


Figura 40

REIVINDICAÇÕES

1. Circuito integrado inteligente de potência completo (“Smart Power”) programável por forma a que contenha os sub-Circuitos de comutação de potência, excitação, controlo, amplificação, amostragem de variáveis físicas e protecção, necessários à aplicação em vista, caracterizado por:

- a) Matrizes para sub-Circuitos Integrados de Potência, Inteligentes ou não, constituídas pela associação de estruturas baseadas em transístores NMOS, simplesmente denominadas Estruturas NMOS, elaboradas com topografia específica para aplicações de potência, cuja associação seja feita na forma de Agregados com organização regular, de modo a permitir a realização monolítica de sistemas inteligentes de potência, na forma de sub-Circuito integrado, compreendendo os sub-Circuitos de comutação de potência, excitação, controlo, amplificação, amostragem de variáveis físicas e protecção;
- b) Topologias alternativas de sub-Circuitos que realizam o controlo e processamento dos sinais de potência em sub-Circuitos Integrados de Potência, Inteligentes ou não, que utilizam exclusivamente estruturas NMOS, associadas a elementos de sub-Circuito passivos integrados ou não;
- c) Células Básicas para aplicação em sub-Circuitos integrados de potência, que utilizam um conjunto de Transístores NMOS, baseada em transístores do tipo LDD, do tipo LDSD ou ambos, ou do tipo LDMOS, DMOS canal N

2. Circuito integrado inteligente de potência completo (“Smart Power”), de acordo com a reivindicação anterior caracterizado por as referidas matrizes serem concretizadas através:

João Pedro da Cunha

- a) da definição da geometria de máscara do(s) último(s) nível(eis) de metalização, que determina as interligações entre Estruturas NMOS de Matrizes pré-fabricadas (semicustom array) até a etapa de processo imediatamente anterior a esta(s) última(s) metalização(ões);
- b) da definição de Topologias padronizadas de sub-Circuitos electrónicos para processamento de sinais de potência, desenvolvidos sobre agregados de Estruturas NMOS, com interligações que configurem funções específicas e bem definidas, e que venham a compor bibliotecas de Células, com finalidade de serem reutilizáveis em mais de uma aplicação; e
- c) da definição completa da geometria de todas as máscaras de fabricação utilizadas nas estruturas NMOS aqui definidas como Células Básicas construtivas de apoio.

3. Circuito integrado inteligente de potência completo (“Smart Power”), de acordo com a reivindicação 1 caracterizado por as referidas topologias serem obtidas através da configuração conveniente das Matrizes para sub-Circuitos Integrados de Potência de acordo com a reivindicação 2, entre os quais:

- a) sub-Circuito deslocador de nível NMOS (*NMOS level shifter*);
- b) sub-Circuito díodo rectificador e o sub-Circuito díodo Zener programável utilizados em sub-Circuitos limitadores de tensão NMOS (*NMOS clippers*) e em sub-Circuitos de retenção de tensão (*NMOS clampers*);
- c) sub-Circuito bomba de cargas NMOS (*NMOS based charge-pump*); e
- d) sub-Circuito NMOS intensificador da excitação (*NMOS based bootstrap*), incluindo as correspondentes metodologias de projecto e modelos de simulação.
- e) sub-Circuito NMOS que concretiza uma fonte de corrente fluente.

4. Circuito integrado inteligente de potência completos (“Smart Power”), de acordo com a reivindicação 1 caracterizado por as referidas células básicas para aplicação em sub-Circuitos integrados de potência, que utilizam um conjunto de Transístores NMOS, baseada em transístores do tipo LDD, do tipo LDSD ou ambos, ou do tipo LDMOS, DMOS canal N, compreenderem:

- a) interligação flexível de todos os terminais destas Estruturas NMOS;
- b) anel de guarda (P^+) ligado ao substrato envolvendo a célula elementar;
- c) ligação da Fonte do Transistor do tipo LDD ao anel de guarda já referido;
- d) a Fonte dos Transístores do tipo LDSD e do tipo LDMOS flutuante;
- e) exibindo topografia específica para:
 - permitir interligações locais dos terminais de Dreno, Porta e Fonte;
 - facilitar a passagem de interligações externas através da célula básica; e
 - facilitar a associação de células básicas para constituir sub-Circuitos mais complexos, através de interligações específicas.

5. Utilização de Matrizes para sub-Circuitos Integrados de Potência, Inteligentes ou não, e das Topologias alternativas de sub-Circuitos, conforme a reivindicação 1, para obtenção de circuitos integrados inteligentes de potência completos (“Smart Power”), que contenham os sub-Circuitos de comunicação de potência, excitação, controlo, amplificação, amostragem de variáveis físicas e protecção, sendo estas Matrizes fabricadas utilizando tecnologias CMOS convencionais ou tecnologias CMOS com fases de processo adicionais, ou ainda, tecnologias específicas de Integração de Potência e configuradas de modo a constituir um conjunto variado de funções eléctricas, de acordo com as metodologias de configuração descritas na reivindicação 1, caracterizada pela associação de múltiplos Transístores NMOS em configurações específicas, associadas a elementos de sub-Circuito passivos integrados ou não, de modo a:

- permitir a concretização de diferentes Topologias de células para comunicação de potência e Topologias derivadas;

- permitir a concretização de diferentes dispositivos e sub-Circuitos necessários às funções inerentes à excitação das topologias de comutação de potência;
- permitir a concretização de sub-Circuitos de amostragem e protecção necessários ao bom desempenho das topologias de comutação de potência;
- aumentar a robustez dos sub-Circuitos Integrados Inteligentes de Potência face a descargas electrostáticas e/ou ao funcionamento intempestivo (*latch-up*); e
- permitir a prototipagem rápida de sub-Circuitos Integrados de Potência e de Micro-sistemas electrónicos de potência.

6. Os dispositivos semicondutores TEC NMOS (Transístores de Efeito de Campo Metal-Óxido-Semicondutor de canal N) do tipo LDD e LDSD que utilizam o deslocamento da Porta, respectivamente GSLDD (Gate Shift Lightly Doped Drain) e GSLDSD (Gate Shift Lightly Doped Source and Drain), permitindo alargar o campo de utilização das Matrizes para sub-Circuitos Integrados de Potência, de acordo com as reivindicações 1, 2, 3 e 4, caracterizado por compreender:

- compatibilidade de fabricação com tecnologias CMOS poço N, substrato P, convencionais, com no mínimo 1 nível de Silício policristalino e 1 nível de metalação;
- configuração planar lateral com o Dreno formado por uma difusão com elevada concentração de impurezas dadoras, no seio da difusão de fraca concentração de impurezas do poço N, no caso do GSLDD;
- terminal de substrato conectado ao terminal de fonte no caso do GSLDD;
- topografia de máscaras específica para permitir a operação em alta tensão apenas no terminal de Dreno, no caso do GSLDD;
- configuração planar lateral com o Dreno e a Fonte formados por difusões com elevada concentração de impurezas dadoras, no seio da difusão de fraca concentração de impurezas de poços N, no caso do GSLDSD;



- terminal de substrato desligado do terminal da Fonte, no caso do GSLDSD;
- topografia de máscaras específica para permitir a operação em alta tensão em ambos os terminais de Dreno e Fonte, no caso do GSLDSD;
- emprego da técnica de deslocamento da Porta (Gate Shift), que consiste no deslocamento da máscara de Porta relativamente à máscara de poço N, de modo a obter o alinhamento da borda do eléctrodo de porta com o percurso periférico da difusão lateral de poço N, com o intuito de optimizar a máxima tensão de operação do dispositivo, através da redução do valor máximo do campo eléctrico superficial inerente às zonas de menor concentração de impurezas.

Lisboa, 28 de Abril de 1999



JOÃO PEREIRA DA CRUZ

ENGENHEIRO

Agente Oficial da Propriedade Industrial

RUA VICTOR CORDON, 14 - 3º

1200 LISBOA

DESCRIPTION

“CONFIGURABLE SMART POWER INTEGRATED CIRCUITS AND SEMICONDUCTOR DEVICES”

This invention provides Structures based exclusively on NMOS transistors which are useful for carrying out various switching functions and various analogue and digital functions necessary for controlling the power supply in Smart Power Integrated Circuits (SPICs). Thus, SPICs can be manufactured using conventional manufacturing processes for digital integrated circuits, without any additional processing steps.

The fundamental element is an isolated NMOS transistor in association with others and possibly passive elements in specific NMOS Structures, or basic cells, the suitable layout of which makes it possible to create, by repetition of the latter, Arrays and Matrices that can be programmed to constitute Topologies for carrying out the functions of controlling, switching, signal amplification, sampling of physical variables and protection in monolithic Smart Power systems, thereby dispensing with the use of other semiconductor devices in the processing of power signals. Several NMOS Structures are presented which make it possible to create various Cells, by appropriately establishing metal interconnections between them. These Cells correspond to Switching Topologies, each of which is known as a Switching Cell, for power switching, equivalent to the ones known as “*Switch Load Topologies* [1], [2]: *High-side, Low-side, Pass Element, Half-Bridge, Full-Bridge, n-Phases*” and derived topologies, as well as the topologies of the control circuits required for driving the aforementioned switching structures, known as “*Switch Driver Techniques: Level Shifters, Clippers, Clampers, HV Floating Drivers*”.

Thus, circuits based on NMOS Structures are obtained, the topography of which can be designed in order that they may be obtained using suitable interconnections established in and between basic Cell Arrays that are configurable by means of the top metal layer(s), which bestow unique characteristics for the fast prototyping of SPICs not only on conventional CMOS technologies but also on the technologies devoted to Power Integration.

The invention also relates to GSLDD/GSLDSD (*Gate Shift Lightly Doped Drain/Gate Shift Lightly Doped Source and Drain*) NMOS transistors, the architecture of which is optimised with regard to disruptive voltage, thus making it possible to extend the range of voltages well beyond the recognised limits for conventional technologies.

Background to the invention

The term Smart Power Integrated Circuits has been commonly used to define Power Integrated Circuits (PICs) which provide an interface between a digital control logic and a power load, intended to control medium voltages (up to many dozens of Volts) and medium current levels (no more than a few Amperes). Thus, a Smart Power Integrated Circuit (SPIC) consists essentially of a monolithic circuit which includes power devices, analogue circuits and digital circuits with high density and low operating voltage, in order to achieve increased functionality and reliability.

Normally, Smart Power Integration requires the use of complex manufacturing processes for Integrated Circuits (ICs) [2] and huge research efforts have been made to try to make them compatible with CMOS processes [3]. These sophisticated manufacturing processes have produced various types of semiconductor devices, such as N-MOS, P-MOS, HV-NMOS (*High-voltage NMOS*), HV-PMOS (*High-voltage PMOS*) Field-Effect Transistors, TJB-NPN, PNP, HV-PNP, HV-NPN Bipolar Junction Transistors, Zener Diodes, rectifying Diodes, IGBTs and MOS Thyristors.

The manufacturing processes use BiCMOS or CMOS technologies, modifying the various steps of the technological process [4], [5] or including additional processing steps (buried layer) [6] or dedicated technologies (“Smart Power”) which combine analogue circuits, created using bipolar devices, with digital CMOS circuits and high-voltage DMOS devices [7], [8] or derivatives, for example MOS thyristors and IGBTs.

The devices available in BiCMOS, modified CMOS or Smart Power technologies make it possible to carry out the rectifying, clipping, clamping, level shifting, charge-pump and bootstrap functions necessary for controlling the power supply, by means of classic circuits [9] which use bipolar devices, transistors, rectifying diodes and Zener diodes.

The following list includes all the references known to the applicants, which they consider to be representative with regard to this subject and which in a way are also considered as being the background to the invention.

REFERENCES

- [1] H. Ballan and M. Declercq, “*High-voltage Devices and Circuits in Standard CMOS Technologies*”, Kluwer Academic Publishers, Dordrecht, The Netherlands, 1999.
- [2] B. J. Baliga, “An Overview of Smart Power Technology”, *IEEE Trans. on Electronic Devices*, Vol. 38, n° 7, pp. 1568-1575, July 1991.
- [3] B. Z. Parpia, C. A. T. Salama and R. A. Hadaway, “Modelling and characterization of CMOS-compatible high-voltage device structures”, *IEEE Trans. on Electron Devices*, vol. ED-34, pp. 2335-2343, 1987.
- [4] W. G. Meyer, G. W. Dick, K. H. Lee and J. A. Shimer, “Integrable high-voltage CMOS: Devices, process, applications”, in *IEEE International Electron Devices Meeting Tech. Dig.*, IEDM '85, pp. 732-735, 1985.

[5] G. M. Dolny, O. H. Schade, B. Goldsmith and L. A. Goodman, "Enhanced CMOS for analog-digital power IC applications", in *IEEE Trans. Electronic Devices*, vol. ED-33, pp. 1985-1991, 1986.

[6] Yong Qiang Li, C. A. T. Salama, M. Seufert, P. Schvan and Mike King, "Design and characterisation of submicron BiCMOS compatible high-voltage NMOS and PMOS Devices", in *IEEE Trans. Electronic Devices*, vol. 44, n° 2, pp. 331-338, February 1997.

[7] T. Efland, T. Keller, S. Keller and J. Rodriguez, "Optimized complementary 40 V power LDMOS-FETs using existing fabrication steps in submicron CMOS technology", in *IEEE International Electron Devices Meeting Tech. Dig.*, IEDM '94, pp. 339-402, 1994.

[8] Arlette Marty-Blavier, Didier Farenc, Thierry Sicard, Gisele Blanc, Irene Pages, "A Cost Effective Smart Power Technology for 45V Applications", in *Proceedings of the 27th European Solid-State Device Research Conference*, ESSDERC '97, Stuttgart, September 1997.

[9] Electronic Trend Publications, "Smart Power Markets and Applications", 1996.

[10] J. D. Plummer, R. A. Blanchard, "Power MOS devices in discrete and integrated circuits", in "Power Integrated Circuits", P. Antognetti (editor), chap. 3, pp. 3.1, McGraw-Hill Book Co., 1986.

[11] S. Finco, F. H. Behrens, M. I. Castro Simas, "A Smart Power IC for DC-DC Power Regulation", in *Proceedings IEEE Industrial Applications Society 27th Annual Meeting*, IAS '92, pp. 1204-1211, Houston, Teas, U.S.A., October 1992.

[12] M. I. Castro Simas, J. Costa Freire, S. Finco, F. H. Behrens, "Modeling and Characterization of LDD and LDSD NMOS Transistors" in *Proceedings IEEE Industrial Applications Society 28th Annual Meeting*, IAS '93, pp. 1183-1189, Toronto, Ontario, Canada, October 1993.

Smart Power IC's - Technologies and Applications, B. Murari, F. Bertotti, G. A. Vognola (Eds.), Springer, 1995.

Scope of Application of the Invention

The recent interest in monolithic solutions in Power Electronics applications has led to the development of sophisticated and expensive technologies which make it possible to join power devices, in a single monolithic circuit, with circuits for controlling, protection and sampling of physical values, as well as interfaces with microprocessors, failure detection and process monitoring. SPICs are described as being able to carry out complex switching functions at high frequencies with increased functionality and reliability with regard to discrete solutions, which represents encouraging progress in the field of power processing and has led manufacturers to launch SPICs onto the market for specific low and medium power applications, namely for the car, robotic, portable telecommunications and medical equipment industries, which are areas that require a high level of reliability and compactness.

The scope of application of this invention is therefore to design and carry out the functions of switching, driving, controlling, amplification, sampling of physical variables and protection in monolithic Smart Power systems by simply using NMOS Structures manufactured in accordance with conventional technological processes for "VLSI" integrated circuits and dispensing with the use of any other type of semiconductor device in the processing of power signals.

Conventional CMOS technologies can therefore be used for low-cost Smart Power Integration and they also make it possible to fast prototype SPICs for specific applications, taking advantage of the fact that these technologies are well established and also using EDA tools, the libraries that are available and sets of reusable functions.

The same methodology can be applied to specific Power Integration technologies for fast prototyping, using the isolated transistor available in technology as a basic element of the NMOS Structures that constitute the Arrays and Matrices which are presented for obtaining the topologies and circuits necessary for the functionality required and are easily configurable by means of the top metal layer(s).

Subject-Matter and Aim of the Invention

The present invention relates to:

- optimised semiconductor devices - GSLDD/GSLDSD-NMOS (Gate Shift Lightly Doped Drain/Gate Shift Lightly Doped Source and Drain), extending the range of voltages which can be withstood in the cut-off state beyond the limits normally established for devices manufactured using conventional CMOS technologies;
- associations of NMOS Structures in Arrays and Matrices specific to integrated power circuits with optimised architecture in the form of elementary blocks which can be configured by means of the top metal layer(s) in order to create different Topologies, namely switching cells and analogue circuits, which carry out functions necessary for power control;
- the use of Basic Cell Matrices consisting of predefined NMOS Structures which can be configured into specific Topologies for carrying out switching, excitation, control, amplification, sampling of physical variables and protection functions in monolithic Smart Power systems; and
- switch load circuit topologies and control circuit topologies for driving said switching circuits using NMOS Structures in the form of full-custom or semi-custom Integrated Circuits.

Even in technological processes in which bipolar semiconductor Structures (PNP, NPN) and unipolar PMOS Structures can be easily obtained, the exclusive use of NMOS Structures reduces the possibility of latch-up and in some cases the area of silicon used.

Therefore, one of the objectives of this invention is to develop circuit Topologies capable of creating the generic Cells necessary for power control and switching in Smart Power Integrated Circuits using only isolated NMOS transistors.

Another objective of this invention is to develop Matrices containing Basic Cell Arrays created using NMOS Structures the topography of which enables them to be easily configured using the top metal layer(s) owing to their organised and repetitive architecture, in order to create said Topologies.

Thus, the Matrices presented are a result of the optimised association of multiple NMOS Structures with specific configurations in order to create the following by means of the appropriate configuration of the top metal layer(s):

- various Switch Load Topologies: High-Side - Fig.1; Low-Side - Fig. 1; Pass Element - Fig. 1; Push-Pull - Fig. 2; Half-Bridge - Fig. 2; Full-Bridge - Fig. 3; n-Phases - Fig. 3 and derived topologies - Fig. 4. Figs. 1, 2, 3 and 4 show the generic topologies proposed for creating the aforementioned switch load cells;
- the various circuits required for driving the switch load devices: Clippers - Fig. 5; Level Shifters - Fig. 6; Clampers - Fig. 6; High-voltage Floating Drivers - Charge-pump and Bootstrap) - Figs. 7 and 8. Figs. 5, 6, 7 and 8 show the proposed implementation of the aforementioned functions necessary for controlling the power supply for driving the power devices using NMOS Structures;
- topologies which carry out the various functions of controlling, amplification, sampling of physical variables and protection defined in each case in accordance with the desired power application.

Another objective of this invention relates to two new GSLDD/GSLDSD NMOS transistors obtained by means of the optimisation of NMOS transistors in terms

of disruptive voltage by shifting the polycrystalline silicon Gate terminal mask in relation to the N-well mask edge [14], thus making it possible to apply conventional CMOS technologies to a wider range of voltages, as described in detail further on.

Advantages and Improvements in Relation to Existing Methods, Materials or Products

The invention presented herein covers Arrays and Matrices of basic cells which use NMOS Structures for carrying out the functions which are generally necessary for controlling, amplifying, converting and switching power and NMOS devices that are optimised in respect of the voltage withstood in the cut-off state, namely GSLDD/GSLDSD NMOS transistors.

The advantages of this invention are the following:

- it permits the use of conventional technological processes which are more simple or less complex than the ones usually used for creating high-voltage power devices and carrying out power control functions, by simply using NMOS Structures which use lightly doped diffusions in the formation of the Drain and Source terminals;
- it permits the use of a single basic electric model of semiconductor Structures for simulating devices and circuits;
- it makes Smart Power Integration compatible with conventional CMOS technologies without any additional processing steps;
- it makes the mass production of microsystems compatible with conventional CMOS technologies without any additional processing steps, in accordance with technological trends [4], [5], [6], [7];

it gives potential to many conventional CMOS processes existing on the market in order to construct Smart Power Integrated Circuits by simply adding power control circuit libraries to the libraries which already exist;

- it permits the creation of semi-custom Smart Power Integrated Circuits, which are easily configurable by means of the top metal layer(s) using conventional CMOS technological processes available for manufacturing semi-custom digital circuits;
- it gives potential to many Smart Power Integration processes in order to make it possible to manufacture semi-custom Smart Power Integrated Circuits, which are easily configurable by means of the top metal layer(s), by simply creating power control circuit libraries;
- it makes it possible to fast prototype Smart Power Integrated Circuits using a particular CMOS technology;
- it makes it possible to obtain optimised geometry for high-voltage transistors which is compatible with conventional CMOS technologies, and it can also be applied to wider ranges of voltages than the ones usually established for these technologies.

Brief description of the drawings

The following description refers to the drawings, which form an integral part thereof and are intended to make it easier to understand the invention, without any restrictive character. Thus:

Figs. 1 to 4 show generic switching cells for creating power topologies.

Fig. 5 shows a new proposed circuit equivalent to a programmable Zener based exclusively on NMOS structures, which replaces the Zener diode and can be used with Clipping circuits (Clippers) and also Clampers.

Fig. 6 shows a proposed Level-Shifter circuit, based exclusively on NMOS structures, with the same functions as a conventional circuit.

Fig. 7 shows a proposed circuit equivalent to a Charge-Pump - HV floating driver circuit, based exclusively on NMOS structures, which substitutes the conventional circuit.

Fig. 8 shows a proposed circuit equivalent to a Bootstrap - HV floating driver circuit, based exclusively on NMOS structures, which substitutes the conventional circuit.

Fig. 9 shows the general matrix arrangement of switching structures, indicating the spatial layout of the structures and arrays, the positioning of the control signal interconnection channels, the power interconnection channels and the position of the contacts which connect with the exterior.

Fig. 10 shows the details of the matrix, paying special attention to connection contacts of the array, indicating the metal2 tracks on the structures close to the contact pads which connect with the exterior.

Fig. 11 shows the control signal interconnection channels, indicating the network of routes (metal1/metal2 connections), metal1 tracks and polycrystalline silicon resistor.

Fig. 12 shows the interconnection channels with predefined metal2 rectangles, indicating the position of the network of routes, the metal1 tracks, the metal2 squares and the minimum distances between them.

Fig. 13 shows a cross-section of the interconnection channels along a metal1 track, indicating the relative position of the various elements.

Fig. 14 shows an elementary NMOS structure consisting of nested LDD and LDSD transistors.

Fig. 15 shows an elementary NMOS structure consisting of LDSD transistors placed side by side.

Fig. 16 shows the details of an elementary NMOS structure consisting of nested LDD and LDSD transistors, indicating the relevant parts of the structure.

Fig. 17 shows a cross-section of the proposed optimised elementary cell based on GSLDD/GSLDSD NMOS transistors.

Fig. 18 shows (a) a rectifying diode and the respective characteristic curve $I(V)$; (b) a Zener diode and the respective characteristic curve $I(V)$; (c) a rectifying diode in series with a Zener diode and the respective characteristic curve $I(V)$.

Fig. 19 shows an integrating control circuit of the circuits which emulate the Zener diode and the rectifying diode.

Fig. 20 shows the reconfiguration of an NMOS Structure, consisting of LDSD NMOS transistors, which emulates the behaviour of the floating Zener Circuit of Fig. 18 b).

Fig. 21 shows the reconfiguration of an NMOS Structure, consisting of LDMOS transistors, which emulates the behaviour of the floating Zener Circuit of Fig. 18 b).

Fig. 22 shows the reconfiguration of an NMOS Structure, consisting of LDSD NMOS transistors, which emulates the behaviour of the rectifying diode - Zener diode series association of Fig. 18 c).

Fig. 23 shows the reconfiguration of an NMOS Structure, consisting of LDMOS transistors, which emulates the behaviour of the rectifying diode - Zener diode series association of Fig. 18 c).

Fig. 24 shows the reconfiguration of an NMOS Structure, consisting of LDSD NMOS transistors, which emulates the behaviour of the rectifying diode of Fig. 18 a).

Fig. 25 shows the reconfiguration of an NMOS Structure, consisting of LDMOS transistors, which emulates the behaviour of the rectifying diode of Fig. 18 a).

Fig. 26 shows a classic level-shifter circuit as disclosed in literature, which uses PMOS or PNP Bipolar type high-voltage high-side transistors.

Fig. 27 shows a level-shifter circuit using only LDSD NMOS transistors. This topology dispenses with the use of high-voltage PMOS or PNP bipolar transistors in the high-side position.

Fig. 28 shows a level-shifter circuit using only LDMOS transistors. The addition of the element DR should be noted when compared with the topology of Fig. 27.

Fig. 29 shows a level-shifter circuit functioning as a continuous voltage level shifter. In this configuration the circuit functions as an auxiliary source of HV-derived continuous voltage.

Fig. 30 shows: a) a typical capacitive charge-pump circuit which acts as a voltage doubler; b) the voltage over the capacitor C_{Tq} in relation to the ground, in terms of time.

Fig. 31 shows a typical capacitive charge-pump circuit which acts as a voltage tripler.

Fig. 32 shows a charge-pump circuit which acts as a voltage doubler, which can be constructed using NMOS structures.

Fig. 33 shows a typical capacitive charge-pump circuit which acts as a voltage tripler, which can be constructed using NMOS structures.

Fig. 34 shows a capacitive charge-pump circuit which acts as a floating source derived from the topology of Fig. 31, but with a rectifier bridge at the output, which can be constructed using NMOS structures.

Fig. 35 shows an elementary circuit which can be constructed using NMOS structures, from which the charge-pump topologies claimed as innovative can be obtained.

Fig. 36 shows: a) a typical bootstrap circuit; b) time diagrams of the control, output and Gate voltages during the transition from connection to disconnection of MH.

Fig. 37 shows a typical bootstrap circuit based on NMOS structures.

Fig. 38 shows: a) a bootstrap circuit for power devices in a High-Side topology; and b) the respective wave forms during the transition from connection to disconnection.

Fig. 39 shows a typical floating current supply circuit for injecting current into a power device in a High-Side topology.

Fig. 40 shows a floating current supply circuit constructed with NMOS Structures.

Detailed Description of the Invention

Below is a detailed description of the Matrices used in the scope of the invention to create the various switching cells: High-Side - Fig. 1; Low-Side - Fig. 1; Pass Element - Fig. 1; Push-Pull - Fig. 2; Half-Bridge - Fig. 2; Full-Bridge - Fig. 3; n-Phases - Fig. 3 and derived Topologies - Fig. 4, which are generic and well known in literature [1], [2].

A detailed description of optimised NMOS Transistors is also given, based on a shifting of the polycrystalline silicon Gate mask, which gives rise to the GSLDD and GSLDSD NMOS transistors that form part of the subject-matter of the invention.

A detailed description of some of the Topologies of the proposed circuits is also given, based exclusively on NMOS Structures, forming an integral part of the invention and replacing the conventional circuits necessary for exciting the aforementioned power switching devices for controlling the power supply: Clippers - Fig. 5; Clampers - Fig. 5; Level Shifters - Fig. 6; High-voltage Floating Drivers - Charge-pump and Bootstrap - Figs. 7 and 8.

1. - Switching Cells

The switching cells are based on NMOS Structures available in a Matrix, which are configurable by means of the top metal layer(s). The possible associations are sufficiently versatile and make it possible to create the most usual power switching cells (Switch Load Topologies) [2]: High-Side - Fig.1; Low-Side - Fig. 1; Pass Element - Fig. 1; Push-Pull - Fig. 2; Half-Bridge - Fig. 2; Full-Bridge - Fig. 3; n-Phases - Fig. 3 and derived topologies - Fig. 4.

The Matrices consist of NMOS Structure Arrays, which provide interconnection properties suitable for the intended purposes.

Although the Matrices and Arrays can generally use any isolated NMOS power transistor as an elementary cell, they are presented in this document as being based on NMOS transistors that can be constructed using conventional CMOS technologies.

1.A.1 NMOS Structure Matrix

The Matrix (Fig. 9) consists of NMOS Structure Arrays (1) separated by control signal interconnection channels (intercalated, 21; side, 2L) and contact pads which connect with the exterior (top, 3T; bottom, 3B; sides, 3L; corners, 3C). The number of stacked NMOS Structures, as well as the number of columns of Arrays, depends on the total amount of power for which the Matrix was designed.

The interconnection of the Drains and Sources is made on the NMOS Structure arrays (1) (Fig. 9) by top layer metal tracks (metal2) (4) (Fig. 10), totalling six for each Structure array, in order to make the interconnections more flexible. The connection of the Drains and Sources between Structures of different arrays and the connection of Drains and Sources to the side contacts next to the corners (5 and 3L) is carried out by means of a set of two or three connection tracks of the first metallisation (top, 6T;

bottom, 6B) situated at the top and bottom of the Matrix (Fig. 9), the number of tracks depending on the size of the matrix.

The width of the NMOS Structures (1) is calculated so that the sum of the width of the control signal interconnection channels corresponds to the width necessary for positioning the four contact pads which connect with the exterior (Fig. 10), two of which are used exclusively for power connections (7A) and the other two for control and/or power signals (7B). The number of contacts therefore depends on the number of arrays, eight for each array, four at the top and four at the bottom. The number of contacts at the sides of the matrix (Fig. 9 - 3L) is the same as the number of contacts at the bottom (3B) and the top (3T). The four contacts in the corners (3C) are compulsory in most technologies and may be grounded or connected to the highest supply voltage, depending on the restrictions of each technology. The contacts connecting the Drain and Source with the exterior, associated to each of the arrays (7A and 7B) (Fig. 10), are aligned with the metal2 tracks in order to remove the need for extra space for routing the tracks.

The number of control signal interconnection channels (2I and 2L) (Fig. 9) is the same as the number of NMOS Structure arrays (1) plus one, so that both sides of the Matrix will have control signal interconnection channels (Fig. 9), thus allowing the control signal interconnection channels to be connected to the exterior contacts situated at both sides of the Matrix (3L).

1.A.2 Interconnection Possibilities

The interconnection of the Structures to each other and to the contact pads which connect with the exterior is based on a minimum routing grid, depending on the minimum dimension of the technology and the restrictions particular to each matrix. The size of all the interconnection tracks, in both the first metallisation (metal1) and the second metallisation (metal2), are a multiple thereof.

The control signal interconnection channels (Figs. 11 and 12), or simply interconnection channels, consist of first metallisation tracks (12C) (Fig. 12, Fig. 13), which make the horizontal connections, and second metallisation rectangles (8) (Fig. 12, Fig. 13), which make the vertical connections. The metal2/metal1 transition is made using the existing sets of routes (22). The routes are connections between the first and the second metallisation through thick or field oxide.

Depending on the algorithm used for routing and the interconnections, these will be made through predefined channels (17) (Fig. 11) or, in the case of less intelligent algorithms, over a network of metal2 rectangles (8) (Fig. 12), separated by a distance (9) (Fig. 12) equal to or greater than the minimum distance permitted in technology between adjacent tracks, being a multiple of the grid size, the interconnections being completed with the automatic insertion of metal2 rectangles (Fig. 12 and Fig. 13).

The interconnections by configuration of the preprocessed matrix are made by inserting metal2 rectangles between the sets of connections of the Structures (16E) and the sets of connections of the interconnection channels (16C), and between the metal2 rectangles (8) (Fig. 12 and Fig. 13) in order to make vertical connections for accessing the top (6T) and bottom contacts (6B) (Fig. 9) or to establish certain circuit topologies through the local interconnection of switching cells.

In order to make the connection with the metal2 tracks in the vertical channels, a small path needs to be made horizontally in this metallisation from the closest set of routes. In the case of the control signal channels with predefined metal2 rectangles (8) (Fig. 12), the connection to the metal2 square which starts the vertical connection is made by inserting a metal2 rectangle horizontally in order to make contact with the closest set of routes (22).

The sets of connections existing in both the Structures (16E) and the interconnection channels (16C) (Figs. 11, 12 and 13), consisting of metal1 rectangles (12) connected to metal2 (21) by various sets of routes (22), make it possible to connect the metal1 tracks (12E) coming from the Gates (16P), Drains (16D), Sources (16F) and Guard Rings (11) of the NMOS Structures to the horizontal metal1 tracks (12C) of the interconnection channels (Fig. 13).

The metal1 tracks (12C) of the interconnection channels are interrupted (121) (Figs. 11 and 12) in order to give the independent interconnections access to the two Structures adjacent to the channel. The interconnection channels make it possible to interconnect the cells both horizontally, in different arrays, and vertically, within the same array.

In all the control channels, there are two resistors (23) in each elementary cell consisting of polycrystalline silicon which is more resistive than that which is used for constructing the Gates of the transistors, with a typical value of 45W/? (Fig. 11). The resistors (23) are inserted between different metal1 tracks (12C) using a pair of poly2/metal1 contacts (23C) (Figs. 11 and 12).

It is possible to create a grounded P⁺ diffusion (24) (Fig. 13) under all the interconnection, power or control channels, which functions as a low-pass filter in order to eliminate any high frequency disturbance caused by the switching of the transistors.

The ground planes created by the P⁺ diffusion (24) (Fig. 9) make it possible to eliminate any closed circuits which may make noise. Likewise, the P⁺ diffusion tracks (24) underneath the control interconnection channels are connected alternately to the P⁺ tracks under the routing channels at the top (6T) and bottom (6B) of the matrix.

1.A.3 The elementary NMOS Structure

The elementary NMOS Structure consists of two nested LDSD (Lightly Doped Source and Drain) transistors [11], [12] (Fig. 14), such that the Source (10) of the external transistor envelops the whole, which is in turn surrounded by a P⁺ diffusion guard ring (11) connected to the substrate (Fig. 14). The other variant of the structure consists of placing two transistors side by side (Fig. 15), so that they can be used separately, sharing only the P⁺ diffusion guard ring (11) which also surrounds the whole (Fig. 15).

The internal connections to the Structures are made by metall1 tracks (12) (Fig. 16) situated horizontally along the whole of the structure. These tracks are connected to the Sources (10) and the Drains (13) (Fig. 16) of the structure by the greatest number of metall1 diffusion contacts (14) permitted in technology, which connect with the respective N⁺ diffusions. This methodology is intended to reduce contact resistance and harmonise the distribution of the current density along the transistor terminals. In order to connect the metall2 tracks (4) at right angles to the metall1 tracks, there are between five (Fig. 14) and seven (Fig. 15) groups of an appropriate number of routes (15) (Fig. 16) associated in the manner permitted in technology, in order to accommodate the maximum current capable of being generated by the structure. The horizontal connections of adjacent arrays and/or the arrays outside the matrix are made by sets of routes (16E) situated at the end of the metall 1 tracks at both sides of the structure (Fig. 11 and Fig. 16). The Gate connections have two routes (16P) (Fig. 16), thus creating a redundancy which makes this connection more robust and less resistive. The Drain (16D) and Source (16F) connections (Fig. 16) have sets of four or more routes with sufficient current capacity in order to drain the maximum current absorbed by a single NMOS structure.

The connection of the Gates (18) (Fig. 16) of the transistors to the interconnection channels is made at both sides of the structure (20) in order to facilitate the access thereof to the contact pads which connect with the exterior and thereby

observe the technological limitations, which generally do not allow metal1 polysilicon contacts to be placed on the active area of the transistors. There is a redundant metall1 (19) connection on the polysilicon track of the Gate (18) along the structure.

In the quasi-closed ring structure (Figs. 14 and 16), the Source of the external transistor (10), as well as the P⁺ diffusion guard ring (11), surround the whole and make it more resistant to occasional discharges of static electricity, as in the case of the output/input protection Structures associated to the external contacts (I/O pads). Said guard ring is shared by adjacent Structures in the array (11) (Fig. 11).

There may be additional metal1 tracks between the NMOS Structures, providing an alternative routing for the control signal interconnections.

The NMOS Structures used are characterised in that they consist of lateral transistors in which lightly doped zones are inserted [10], in the path of the current flow in both the Drain and the Source region (by means of a well diffusion with a low concentration of impurities used in the CMOS technological process), in order to reduce the peak value of the electrical field at the surface. Thus, the pair of elementary LDSD devices [11], [12] used as low impedance pass transistors both have floating Drain and Source electrodes and are therefore able to withstand a sufficiently high voltage in relation to the substrate.

The LDSD NMOS transistors used were optimised in relation to the disruptive voltage by translation of a Gate mask in relation to the lightly doped well mask, which reinforces the reduction of the peak value of the electrical field at the surface. Thus, a device is obtained derived from the elementary LDSD transistor, known as a GSLDSD, an acronym derived from Gate-Shifted LDSD, used as a low impedance pass transistor which therefore has both of the floating Drain and Source electrodes able to withstand higher voltages in relation to the substrate. This structure is described in detail in the following paragraph.

1.B. - GSLDD/GSLDSD NMOS Transistors

A particular feature of the Gate-Shifted LDD or LDSD (GSLDD or GSLDSD) NMOS transistor [14] is that the Gate electrode is aligned with the path of the lateral diffusion of the N-well (31), as used in CMOS technologies and illustrated in Fig. 17.

Fig. 17 shows the cross-section of an elementary NMOS structure consisting of GS-NMOS transistors, which can be obtained without altering the manufacturing process of any conventional CMOS technology with diffusion of N-wells in a P-type substrate. In this particular case, the substrate (25) where the diffusions are made which give rise to the devices has a low concentration of acceptor impurities, around 10^{16} cm^{-3} . The Source/Drain (27) consist of an N^+ diffusion (28) with a high concentration of impurities, habitually used for the Drain and Source of the conventional NMOS transistors known in technology and diffused in the N-well (26) known in technology, with a low concentration of impurities, habitually used as a substrate for the PMOS transistors known in technology, and with quite a high concentration of impurities and slightly higher than the concentration of the substrate. Between this N^+ diffusion (28) and the channel of the device, the carriers cross the drift region underneath the field oxide (29) formed by the process commonly known as LOCOS (Local Oxidation of Silicon), to the end of the metallurgical junction of the N-well diffusion (26).

The geometry of the Gate (32) bestows the originality claimed and allows the proposed devices to disrupt, by avalanche multiplication, at voltage levels higher than the ones found in both the conventional NMOS transistors and the classic LDSD transistors obtained using the same technologies. The polycrystalline Silicon of the Gate (32) is based on fine oxide (30), the density of which is a few hundred Angstrom. By locating the end of the Gate (32) at the Source/Drain side (27) (which in classic LDSD transistors is situated exactly at the alignment of the N-well mask) over the

lateral diffusion region (31) of the N-well (26), it is possible for the critical electrical field for Silicon, which causes the device to disrupt, to be reached at voltage values higher than the ones obtained for conventional NMOS and classic LDSD transistors. Thus, in the drawing of the masks of the device, the polycrystalline Silicon and N-well masks are never in the same position and are separated by what is known as a “Gate-Shift” - which we believe to have given rise to the nomenclature used for this type of semiconductor device: *Gate-Shifted* NMOS - GS.NMOS. As the structure under discussion derives from the classic LDSD transistor, the semiconductor device with identical Gate geometry to that which is described above will be hereinafter referred to as Gate-Shifted LDSD NMOS - GSLDSD NMOS.

The greater the distance between the aforementioned masks, the higher the disruptive voltage of the transistor, provided that the distance in question is not so great that the alignment of the end of the Gate ceases to overlap the lateral diffusion region (31), which would definitively prevent the formation of a channel. Depending on the technology used, a tolerance of a few hundred nanometers (nm) should be required for the Gate shift, in order to maximise the increase in the disruptive voltage that this technique permits without affecting channel formation in the device.

The geometry of the Drain (35) of the GSLDSD is identical in every way to that of the Source/Drain (27). The actual channel of the device is formed between the metallurgical junctions of the N-wells (26) and (37). The contacts of the Source/Drain (27) and the Drain (35) are made from the highly doped N⁺ diffusions (28) and (36) respectively, thereby avoiding Schottky contacts. The Gate (32) of the GSLDSD device is limited by the region where the polycrystalline silicon rests on the fine oxide of the Gate (30) known in technology. The ends thereof must be situated at the alignment of the lateral diffusion regions of the N-wells (26) and (37), and a Gate shift may be required at both the Source/Drain side (27) and the Drain side (35). If the device is symmetric, in cut-off conditions it will have the same robustness in terms of

voltage, at both the Drain side and the Source side, which bestows on it the characteristics of a High-Side transistor.

It should be noted in constructive terms that the stringent choice of the minimum admissible distance between the adjacent N-wells (26) and (37) is fundamental. In fact, the approximation of these diffusions must take into account the fact that the values of the lateral diffusions of the N-well of the technologies mentioned are much higher than the lateral diffusion values of the Drain and Source in conventional NMOS transistors. The distance between the aforementioned diffusions, which is adjusted in accordance with the distance between the rectangles which define their dimensions in the N-well mask, must be selected in such a way as to avoid the punch-through disruption of the device.

In NMOS Structures with a Low-Side transistor, the Source of the GS-NMOS device may simply consist of the N⁺ diffusion (39), the transistor being hereinafter referred to as GSLDD NMOS, since it is derived from the classic geometry of the LDD NMOS. Also in this case, the Source terminal (40) can be connected electrically to the substrate potential (25), by the first metal level in technology, through the terminal (42) and a P⁺ diffusion (41) with a high concentration of impurities, habitually used for the Drain and Source diffusions of PMOS transistors known in technology. The maximum cut-off voltage admissible for this geometry is identical to that which is obtained for the GSLDSD.

The use of the Gate shift technique implies an increase in the conduction resistance of the GSLDSD devices as compared with the classic LDSD devices, since a greater drift path is required for the carriers between the Drain contact and the end of the Gate. This effect can be minimised by extending (33) the polycrystalline Silicon over the field oxide (29), thereby reducing the drift region. This extension must be the maximum permitted by the design rules of technology. As well as this advantage, during the turned-off state of the GS-NMOS devices, this extension (33) causes the

lines of the electrical field in the critical region to scatter, which leads to disruption. Thus, the critical electrical field is reached at even higher Drain voltage values, which in practice means a higher maximum voltage admissible for the device in the cut-off state as compared with other devices which do not include this geometric detail.

The field plates (43) and (44) manufactured with the first metal level in technology can be optionally used to obtain identical benefits to the ones achieved by extending the type (33) polycrystalline Silicon, even if the results are not significant as regards both the reduction of the conduction resistance and the improvement of the disruptive voltage. These field plates are electrically connected to the Source of the devices by the first metal level and they extend over the polycrystalline Silicon until they overlap the drift region of the N-well.

In short, the disruptive voltage of the GSLDD/GSLDSD devices is higher than that of the classic LDD/LDSD devices, since the localised region under the end of the Gate electrode corresponds to a region of concentration of impurities which is even lower than that of the surface of the well - the lateral diffusion of the well. Thus, the maximum value of the electrical field, since it is situated in a region which is even more lightly doped than in the case of the classic devices, makes it possible to achieve even higher Drain-Source voltage values. Using this technique, it was possible to obtain a disruption increase of around 20V in relation to the classic LDD/LDSD Structures, and an increase of around 40V in relation to the conventional NMOS transistors.

2 - Circuits Based on NMOS Structures

The circuits necessary for controlling the power supply, namely for driving the power devices, typically carry out rectifying, clamping, regulating, clipping, voltage level shifting, charge-pump and bootstrap functions.

Examples of topologies of these circuits, based on NMOS Structures and claimed as being innovative in the context, are described below. The NMOS Structures basically use the LDSD NMOS transistors described in 1., and topological solutions for constructing the same circuits using LDMOS transistors [13] are also presented.

It should be emphasised that whereas in the LDSD NMOS transistor the body (P type) coincides with the substrate of the wafer, in the LDMOS transistor the body (P type) of the transistor is connected to the respective Source and it remains floating, like the Drain and Source terminals, in relation to the P substrate of the wafer.

When the NMOS Structure used is based on LDSD NMOS transistors, it will be represented by a symbol with four terminals, whose substrate terminal of the transistor (body) will be obligatorily connected to the substrate of the wafer; if it is based on an LDMOS transistor, the fourth terminal (that of the body) will be obligatorily connected to the Source of the transistor. If the functionality of the circuit is independent of the type of transistor, the transistor will be represented by a symbol of three terminals and the terminal of the body of the transistor will be omitted.

2.A - Zener Circuits and Rectifiers

Circuits used for rectifying, clamping, regulating and clipping applications use rectifying diodes or Zener diodes (Fig. 18), the functioning of which can be emulated by NMOS Structures in certain topologies.

The vast majority of NMOS Structures require a Control block (Fig. 19) for activating their NMOS transistors. In many circuit topologies, the parasitic diodes intrinsic to the NMOS Structure are used to carry out the desired functions. Control circuits normally contain two circuit blocks: the analogue/digital Control block, which is referred to the ground of the circuit, operates at a low voltage and uses conventional circuits and control techniques; and the output block of the Control circuit, which is a

G-gain amplifier and may contain either low-voltage or high-voltage transistors and supplies the voltage and current levels appropriate for operating the circuit. Figs. 19 a) and 19 b) show in diagram form the control described above.

In the design and use of these topologies, correct polarisation and the physical limits of the technology used in the manufacture thereof must be observed as regards voltage and current, in order to avoid excessive power dissipation in the structures, which can cause deterioration of the desired behaviour or even destroy them. The parasitic components corresponding to resistive, capacitive and inductive effects, as well as to diodes and transistors, must also be considered and modelled so that they function within the acceptable limits of operating frequency and with adequate responses during the transitional phases, thus guaranteeing their functional behaviour as a diode or as a more complex circuit.

2.A.1 - Zener Circuit

The Zener Circuit (Figs. 20 and 21) carries out functions equivalent to those of a Zener diode constructed with PN junctions (Fig. 18 b)). The construction of Zener Circuits with NMOS transistors (LDSD type in Fig. 20 and LDMOS type in Fig. 21) consists of associating the Drain (49), Gate (50) and Source (51) terminals of an NMOS Structure (52/60) to an electronic Control circuit (45/54) referred to ground (56). It should be noted in general that the control circuit used for an LDSD structure will be different from the one used for an LDMOS structure. However, the operating principle is similar and will be described below for the LDSD transistor.

The behaviour of the Control Circuit (45) is programmable and acts in such a way as to control the value of the voltage between the Gate - G (50) and the Source - S (51), thereby limiting the value of the voltage between the Drain - D (49) and the Source - S (51) of the Structure (52) to the desired value of the Zener voltage. The programming of this value for the Zener Circuit is carried out by applying an analogue

or digital reference signal, Ref, as a voltage or current, at the reference input of the Control (46).

The control operates by monitoring the voltage existing between the Drain (49) and the Source (51) and it acts on the Gate (50) of the Structure, thereby controlling the conduction impedance of the NMOS transistor (47). When the voltage V_{DS} between the Drain (49) and the Source (51) exceeds the programmed value, the control increases the conductivity of the transistor (47) in order to keep the V_{DS} to the programmed value. For V_{DS} values lower than the value programmed in the control, no power is dissipated in the NMOS Structure (52) and the current in the Zener circuit takes on a minimum value, which will be the same as the polarisation current of the control circuit.

2.A.2 - Rectifying Circuit

The behaviour of a rectifying diode and of the rectifying diode - Zener diode association (Figs. 18 a) and 18 c)) is emulated by the Clipping Circuits of Figs. 22, 23, 24 and 25, provided that the dimensions of the transistors of the NMOS Structures (52) and (60) are correct.

The behaviour of the rectifying diode - Zener diode series association of Fig. 18 c) is reproduced using a Control unit (45) which contains an amplifier (G) and a monitoring and control circuit (Fig. 19) associated to an NMOS structure (52), as shown in Fig. 22 for an NMOS structure based on LDSD NMOS transistors, and in Fig. 23 for an NMOS structure based on LDMOS transistors, which in this case use a similar control unit (54).

The NMOS structure (52) based on LDSD type NMOS transistors must be floating and operate within the limits of the specifications. The Drain, Gate and Source terminals of the transistors in the NMOS Structures configured as a diode must always

operate with positive voltages in relation to the ground terminal GND (56). The function of the driving circuit G, inside the Control (45), is to cause the least amount of impedance possible in the NMOS structure (52) by means of the application of an adequate voltage between the Source (51) and the Gate (50), controlled by the voltage between the equivalent Anode (Ac) (49) and the equivalent Cathode (Kc) (51), i.e. when the Ac voltage (49) is greater than the Kc voltage (51), the circuit operates by emulating the functioning of a directly polarised diode; when the Ac voltage (49) is lower than the Kc voltage (51), the control circuit acts in such a way as to cause the transistor (47) to cut off, being equivalent to the behaviour of a diode under inverse polarisation. For many applications in which the diode effect is intended, the G-gain control circuit (45), which operates at a low voltage, is dispensed with and is reduced to a short circuit between the Drain (49) and the Gate (50) or the Drain (49) and the Source (51), as shown in Figs. 24 and 25.

2.B - Level shifters

Level shifters, which are used frequently in Smart Power Integrated systems [1], such as the circuit presented in Fig. 26, use high-voltage PMOS or PNP and NMOS or NPN transistors (75). The low impedance paths are activated alternately.

Conventional level shifter circuits normally have an interface circuit constructed with low-voltage transistors between the control signal and the Gate of the high-voltage transistors.

The topologies claimed, which function as level shifters, only use NMOS Structures to make the two low impedance paths, as shown in Figs. 27 and 28, and contain NMOS transistors (78, 79 and 80), resistors R1 and R2, a Zener diode DZ and a rectifying diode DR. The elements R2 or DZ or DR, or a subset thereof, can be eliminated in certain configurations, thus creating certain circuit variants with different functions suitable for a specific application.

The control signal (71) acts on the D1 and D2 circuits of the interface (70), to drive the high-voltage transistors of the NMOS structure (78) and (79). The values of the relative delays and the maximum current and voltage values in D1 and D2 are specified in each layout in accordance with the application. In some applications, D1 and D2 of the Interface block (70) can be placed parallel to one another and are used as a single interface circuit (G1 = G2).

This paragraph describes the functioning of the circuit of Fig. 27. When the control signal (71) is at logic level "1", the transistors (78) and (79) are in conducting state and the transistor (80) is in the cut-off state, since the voltage at its Gate (81) is practically at ground potential (74). The low impedance OUT path (73) to the ground terminal (74) is provided by the transistor (79). When the control signal (71) is at logic level "0", the transistors (78) and (79) go from a state of high impedance and the Gate (81) of the transistor (80) is then referred to the lowest value of the voltages $HV'R2/(R1+R2)$ or VZ . The transistor (80) thus forms a low impedance path between the terminal HV (72) and the output terminal OUT (73) of the circuit. This applies to output voltages OUT (73) lower than $HV'R2/(R1+R2)-V_T(80)$ or $V_Z-V_T(80)$, in which $V_T(80)$ is the threshold conduction voltage between the Gate and the Source of the transistor (80).

This paragraph describes the functioning of the circuit of Fig. 27 in the configuration in which the element R2 is removed from the circuit. When the Cathode of a Zener diode or Zener circuit, represented as DZ in Fig. 27, is connected between the Gate (81) of the transistor (80) and the ground GND (74), the circuit operates in a similar way to that which is described above and the final value of the OUT voltage (73) will be limited to $V_Z-V_T(80)$ and will be independent of the HV value of the supply voltage (72) (for HV values higher than V_Z).

If the resistor R2 and DZ are specifically excluded from the circuit, the maximum final value of the output voltage OUT (73) will be limited to HV-V_T(80). The value of the final voltage under the conditions described above will thus be defined by the HV supply voltage (72).

The circuit topologies claimed herein can be constructed using high-voltage NMOS transistors of the type LDSD NMOS (Fig. 27) or LDMOS (Fig. 28). Level shifter circuits constructed with LDMOS transistors also contain the diode DR in their topology. The inclusion of this element is necessary so that both of the topologies presented in Fig. 27 and Fig. 28 function in the same way, thus permitting the existence of voltages higher than HV at the OUT terminal (73) when the transistor (79) is in the cut-off state.

Although the value of the final OUT voltage (73) of the circuits claimed is slightly lower than the circuits constructed using PMOS or PNP transistors in the High-Side position (see Fig. 26), they can nevertheless be used in the vast majority of applications which require a level shifter circuit. The possibility of programming the maximum final output voltage of the topology claimed, as explained above, is an advantage in relation to the conventional topology presented in Fig. 26.

The Level Shifter circuits (77) presented in Fig. 27 and Fig. 28 can also function as level shifters for continuous voltages, as shown in Fig. 29. For example, if in a particular configuration the control signal (71) is permanently connected to GND (74), the OUT value will be limited to the voltage value programmed in the Zener Circuit or proportional to HV, as previously presented. In this configuration, the circuit functions as an auxiliary source of continuous voltage derived from HV. This configuration can be used as an auxiliary power supply in charge-pump circuits and bootstrap circuits, as will be demonstrated in 2.C.1 and 2.C.2.

2.C - Driving Circuits

2.C.1 - Capacitive Charge-Pump Circuits

The operating principle of capacitive charge-pump circuits is exemplified in Figs. 30 and 31 [13]. The basic circuit of Fig. 30 a) contains at least two rectifiers, two capacitors and an LS (Level Shifter) interface circuit (77), fed by an auxiliary voltage source V_{Aux} . The input signal Rel (80) at the input of the LS interface (77) comes from an oscillator (81) which normally generates a square wave with a low amplitude. The output signal (82) of the LS interface circuit (77) is established in accordance with the dimensions of the circuit and the characteristics of the NMOS Structure used and its value will be lower than or equal to V_{Aux} . The capacitor C_{Tq} can be connected between the terminals of the association of rectifying diodes (84) and (85), represented by a dotted line, or between the output (85) and the GND Terminal (74), depending on the application.

The circuit of Fig. 30 a) operates at a frequency imposed by the clock signal Rel (80). During the positive semi-cycle of the clock signal (logic level “1”) the capacitor C_{Bb} is charged through D1, with a specific electric charge QC_{Bb} , and the voltage at the output (82) of the LS interface (77) is referenced to the GND terminal (74) through the low impedance path provided by the NMOS transistor (79) (Fig. 28). The energy stored in the capacitor comes from the source V_{Aux} (83). At the end of this semi-cycle, voltage is supplied to the C_{Bb} terminals with a value of DV_{CBb} , which, as mentioned above, will have a maximum value of V_{Aux} . In the following semi-cycle of the clock signal (logic level “0”), the value of the output (82) of the LS interface (77) is closer to V_{Aux} (limited by the maximum output value of the LS interface). During this period of time, part of the QC_{Bb} charge stored in C_{Bb} is transferred to C_{Tq} through D2. During each clock cycle, the voltage V_G in C_{Tq} (85) increases according to the electrical energy which is stored therein.

Fig. 30 b) represents a transient response (volt vs. second) of a circuit which uses ideal components, i.e. LS interface with nil saturation voltage and ideal rectifiers.

In this case, after a few pump cycles, the voltage at the C_{Tq} terminals, V_G tends towards the value $2V_{Aux}$. This type of circuit is known as a voltage doubler circuit and is frequently used in both discrete and integrated circuits.

In order to design a charge-pump circuit in the most accurate way possible, it is necessary to consider the value of the Drain-Source voltage of the NMOS transistors (79) and (80) (Fig. 28) of the LS interface (77), the voltage drop in the rectifying diodes, the charge loss of the capacitors and the losses in the connections between the components. Normally, the LS interface circuit (77) is fed by an auxiliary source V_{Aux} (83) derived from the high voltage supply HV , which provides a voltage value adequate for enabling the LS interface (77) to vary the signal at its output (82) in order to charge C_{Tq} in the quickest and most efficient way possible.

The LS interface circuits constructed with high-voltage devices, as shown in Figs. 26, 27 and 28, can be fed directly by the high voltage supply HV or by an auxiliary source V_{Aux} derived from HV , as exemplified in Fig. 29. These circuits have a greater variation of output amplitudes (82) as regards the LS interface (77) and they require lower capacity values compared to circuits built with logic CMOS cells. In these circuits, the semiconductor devices can be designed in such a way that the output voltage of the LS interface (77) can take account of the specific nature of the final output voltage V_G of the charge-pump circuit.

Circuits containing many levels constructed using this principle have a final voltage value V_G which will ideally be the same as the number of levels plus one more multiplied by V_{Aux} . These circuits are commonly known as voltage multipliers. Fig. 31 represents a voltage tripler circuit. When compared with the circuit of Fig. 30 a), this circuit contains an additional level consisting of a level shifter LS (77), a diode D3 and an additional capacitor C_{Bb2} and it functions in a similar way. For a circuit constructed with ideal components, the final value of V_G is $3'V_{Aux}$. With real components, V_G will be slightly lower, owing the losses mentioned above.

The circuits of Fig. 30 a) and Fig. 31 were used to describe the operating principle of charge-pumps circuits. A charge-pump circuit can be configured as a floating power supply. The Anode of the diode D1, disconnected from V_{Aux} , becomes the (-) pole of the floating power supply FPS and the Cathode D2 of Fig. 30 a), or the Cathode D3 of Fig. 31, becomes the (+) pole. The capacitor C_{Tq} can be connected between the (-) pole (84) and the (+) pole (85) of the supply or between (85) and (74). This type of circuit (FPS) is frequently used to generate a voltage higher than the supply voltage of the high-voltage circuit and to supply the current sources that are used to inject current into the Gate of the NMOS power transistors configured as High-Side or Low-Side, as will be explained in 2.C.2.

Figs. 32, 33 and 34 present some of the topologies claimed in this patent, which act as a floating power supply and only use NMOS Structures: the rectifying diodes and Zener diodes are constructed as described in 2.A; the interface circuits used are the ones presented in 2.B and 2.C. The capacitors may or may not be integrated. Basically, these circuits use level shifter circuits constructed with NMOS Structures, containing LDSD or LDMOS NMOS transistors. The elementary structure is that of Fig. 35, from which the charge-pump circuit topologies that are claimed can be easily obtained.

2.C.2 - Capacitive Bootstrap Circuits

Fig. 36 a) shows the typical electrical layout of a Capacitive Bootstrap Circuit mentioned in literature [13]. This circuit consists typically of a C_{Boot} capacitor (93), BH (91) and BL (99) interface circuits (Buffer High-Side and Buffer Low-Side respectively), an R_{Boot} resistor (92), a control transistor MC (98) and two power transistors, ML (89) and MH (88). Its functioning is based on the storage of electric charge in the C_{Boot} capacitor (93) in order to maintain an adequate voltage to its terminals, thus providing a floating supply to the BH circuit (91), which acts as a driving circuit for the NMOS power transistor MH (88), thus controlling its conducting

state. The Drain of the transistor MC (98) and one of the R_{Boot} terminals (92) are connected to the input of the BH interface (91) and they form a level shifter. The (-) terminal of the floating power source formed by the C_{Boot} capacitor (93) is connected to the Source terminal (90) of the transistor MH (88). The supply voltage V_{Aux} (95) is normally higher than the supply voltage of the logic circuit and can be lower than the voltage of the high-voltage power source, HV (101), which supplies the output level consisting of the pair of Power Transistors MH (88) and ML (89). The value of V_{Aux} (95) can be generated from the high-voltage power source, as described in 2.B, and it must be in accordance with the voltage value that is intended to be applied to V_{GS} (MH) (102) in order to achieve full conduction of MH (88).

The capacitive bootstrap circuit is commonly used in applications where the control signal Ctrl (97) is periodic, with a defined operating frequency. In order to describe the functioning of this circuit, the period of the control signal Ctrl (97) of Fig. 36 is considered to be divided into three distinct phases, the state of the circuit being described for each phase.

Phase 1: Charge of the C_{Boot} capacitor

During this phase the Control signal Ctrl (97) is at a high level and ensures the conduction of MC (98) and ML (89). During this phase, C_{Boot} (93) is charged with approximately the V_{Aux} voltage value (95) through the D1 diode (94). While MC (98) is conducting, the BH interface (91) keeps the High-Side transistor MH (88) disconnected and ML (89) forms a low impedance path V_{out} (90) to the circuit ground (100), thus allowing C_{Boot} (93) to be charged

Phase 2: Commencement of the Bootstrap Action.

This phase is characterised by the change of state imposed by the control signal Ctrl (97), which changes from logic level from “1” to “0”. At this stage, the ML (89)

and MC (98) transistors are disconnected and the signal at the input of the BH interface (91) remains at the potential of the (+) terminal of C_{Boot} (93) and therefore the output signal (102) of the BH Interface (91) is referred to this voltage, taking the MH transistor (88) to the conducting state. The voltage V_{out} (90) increases according to the current which flows in the load until it reaches the final value of $HD - V_{DS}$ (MH). The voltage to the terminals of the C_{Boot} capacitor (93) is kept virtually constant during the conduction time of MH (88) and the voltage value in the Gate of MH (88), V_G (102), reaches approximately $HV - V_{DS}(MH) + V_{Aux}$. During this period, the diode D1 (94) is inversely polarised and isolates the power source V_{aux} (95).

Phase 3: Free Conduction of MH.

During the next phase the transistor MH (88) starts free conducting. While MH (88) is in conducting state, C_{Boot} (93) discharges through the current supplied to the driving circuit (91) of MH (88). The maximum duration of this phase is determined by the length of time for which the C_{boot} capacitor (93) manages to maintain a voltage adequate for supplying the BH interface (91), which in turn maintains the voltage at the Gate of MH (88), thus allowing MH (88) to continue conducting. It should be noted that the discharge of the C_{Boot} capacitor (93) is due to the charge transfer to the Gate of MH (88) and to the losses caused by the parasitic dissipative elements. Normally the dimensions of C_{Boot} (93) are designed to allow its voltage to be reduced by only 10% during the work cycle.

The circuit presented in Fig. 36 a) is suitable for applications where the operating frequency is well defined, as it is necessary to define the appropriate value of C_{Boot} (93) for each circuit and the respective operating frequency. This technique has the advantage of being simple and it allows MH (88) to be commuted at a high frequency using a small number of high-voltage components. However, it is limited to a small number of applications, as there may be an undesirable situation in which both ML (89) and MH (88) are conducting at the same time. Circuits derived from this one,

but with a more elaborate control, can avoid simultaneous conduction and are the ones that are most often used for commuting associated transistors in High-Side full-bridge and half-bridge configurations [13].

Fig. 37 presents a topology which is different from the circuit of Fig. 36 claimed as being innovative in this patent, which only uses NMOS transistors. The NOS Level-Shifter block (77) presented in 2.B provides the functionality required of the BH interface (91) of Fig. 36 a). The control circuit (96) of the bootstrap of Figs. 36 a) and 37 can be programmed to cause delays suitable for driving MH (88) in relation to the driving of ML (89) in order to avoid the simultaneous conduction of the two. The diode D1 (94) can be made as described in 2.A or by using a PN junction in processes where there are diodes able to withstand high voltage.

Fig. 38 a) presents another topology for constructing a Capacitive Bootstrap Circuit for controlling the conduction of the NMOS power transistor MH (88). The construction of the circuit requires a C_{Boot} capacitor (93), an R_{Boot} resistor (92) and two level shifter interfaces LS1 (77A) and LS2 (77B), for example the level shifters (77) described above in 2.B. For this application, the interface LS1 (77A) is programmed to reach the final voltage of V_{Aux} (95), which is the value that should be applied to V_{GS} (MH) for the full conduction of MH (88). The interface LS2 (77B) is programmed so that its output voltage varies up to the closest possible value to HV (72) (101, in Fig. 36 a)), which supplies both the Drain of MH (88) and the interfaces LS1 (77A) and LS2 (77B). Fig. 38 b) presents the time diagram of the control signal Ctrl (71) and of the output voltages V_{out} (90) and the Gate voltage (73) (102, Fig. 36 a)) of MH (88) during a connection and disconnection cycle of MH (88). For the purpose of analysis, the cycle was divided into three phases, as previously.

During Phase 1 the transistor MH (88) is disconnected. The signals A (71A) and Ac (71Ac) at the input of the interfaces LS1 (77A) and LS2 (77B) are simultaneously at level “1”, their output being lowered to ground potential (74) (100, in Fig. 36 a)).

The voltage between the Gate (73) and the Source (90) of MH (88), V_{GS} (MH), is practically nil and there is no current flowing in the charge Z_{Carga} (104).

During Phase 2 there are two distinct stages. The first stage corresponds to the charge of the C_{Boot} capacitor (93). This occurs straight after the transition of the control signal A (71) from level "1" to level "0". At this stage, the output of the interface LS1 (77A) provides energy to charge the C_{Boot} capacitor (93) up to the voltage level programmed in LS1 (V_{Aux}), as described in 2.B. Simultaneously, the capacitor equivalent to the capacitive effect between the Gate and the Source of the transistor MH (88) is also charged through the output of the interface LS1 (77A). The signal Ac (71Ac) remains at logic level "1" during a period of time Dt sufficient for charging C_{Boot} (93) through LS1 (77A) and LS2 (77B) and for reaching the voltage value defined for the layout, V_{Aux} , which causes MH (88) to conduct. After the period of time Dt , the signal Ac switches from level "1" to level "0", thus initiating the second stage of this phase, which is characterised by the intensification of the voltage V_G (102). The (-) terminal of C_{Boot} (93) is then referred to the potential existing at the Source of the transistor MH (88) through the R_{Boot} resistor (92). Thus, the V_{GS} voltage (MH) will be practically the same as the voltage existing in C_{Boot} (93) and the HV Source (72) then supplies the maximum current to the charge Z_{Carga} (104) through the transistor MH (88).

Phase 3 of the functioning of this circuit is characterised by the fact that the signals A and Ac remain at logic level "0" after the voltage V_G (73) reaches its final value of approximately $HV + V_{Aux}$, as shown in Fig. 38 b). This phase lasts until the control signals A (71A) and Ac (71Ac) simultaneously transition from logic level "0" to logic level "1", thus causing the C_{Boot} capacitor (93) to discharge and the transistor MH (88) to cut off, which characterises the initial state for a new cycle. It should be noted that the output level of the level shifter circuits LS1 (77A) and LS2 (77B) used is achieved using NMOS transistors which allow the output voltages to reach a value greater than the HV supply voltage (72) of the interfaces.

A transistor ML (89) can be added to the circuit of Fig. 38 a), connected between the Source (90) of MH (88) and the ground GND (74) in a Low-Side configuration, directly controlled by the control circuit, as in the case of the circuit of Fig. 37.

2.D - Floating Current Source

Current sources are often used to control the charge and discharge of the equivalent input capacitor C_{GS} of power transistors which feed the external load [13]. Circuits which use current sources as a way of controlling the injection and drainage of the charge in C_{GS} , in order to cause the transistor to both conduct and cut off, permit control and switching using algorithms optimised according to the type of charge which is intended to be supplied. In manufacturing technologies dedicated to the integration of smart power devices which produce high-voltage NMOS and PMOS transistors, the creation of current sources to supply High-Side transistors is facilitated by the existence of the high-voltage PMOS transistor.

Fig. 39 shows a typical circuit [13] which uses a floating current source (106) to inject current into a High-Side topology power device (88), bringing it to a conducting state. Another current source referenced to the ground, whose output level consists of the transistor M4 (108) is used to drain the current from the Gate of MH (88), thus causing it to cut off.

A current source constructed in MOS technology basically consists of controlling the V_{GS} voltage applied to a transistor. When this transistor is operating in the saturation region, its drain current will depend almost exclusively on V_{GS} . Typically, the reference current source is created with analogue circuits constructed with low-voltage transistors connected to the GND terminal (100). The current generated in (109) is mirrored or copied by circuits constructed with N-type (108 and

110) and P-type (111 and 112) MOS transistors and the NPN bipolar transistor (113), which operate at a high voltage. In the circuit shown in Fig. 39, the C_{Boot} capacitor of a bootstrap circuit, as described in 2.C, is used as a floating power supply - FPS - to feed the current source (106). Another option would be to use a capacitive charge-pump circuit previously presented in section 2.C.1.

This patent claims topologies for current sources with the function of injecting or draining current in both High-Side and Low-Side transistors constructed exclusively with NMOS Structures. Of the various possible topologies, Fig. 40 presents a topology intended to function as a current source circuit by injecting current into the Gate of an NMOS transistor, MH (88), with a High-Side configuration.

As seen above in point 2.A, it is possible to construct circuits which emulate the behaviour of a floating Zener diode using NMOS Structures. The value of the Zener voltage of these circuits can be programmed dynamically using a control circuit which functions at a low voltage. It was also shown in 2.B that it is possible to construct floating power supplies using only NMOS Structures.

In Fig. 40 the block components (121) form a floating current source based on NMOS Structures. The output of the current source (121) is connected to the Gate (102) of MH (88) and is used to inject current bring MH (88) to a conducting state. The block components (122) form a current source referenced to the ground (100), the purpose of which is to drain current from the Gate (102) of the transistor MH (88), causing it to cut off.

The floating current source (121) basically consists of a Zener circuit represented by DZP (115), a high-voltage transistor represented by MI (117) and a resistor R1 (116). These components are fed by a floating power supply (118), referred to as FPS, whose (-) terminal is connected to the high voltage supply HV (101). The FPS power supply (118) has an amplitude of around ten volts. The component DZP

(115) represents a programmable Zener circuit with the control referenced to the terminal GND (100), the function of which is to maintain the V_{GS} voltage (MI) (117) at a certain programmed value, thereby controlling the injection of current into the Gate (102) of the transistor MH (88), according to the algorithm specified for the application. It is important to emphasise that the control exercised over the Zener circuit (115) determines the value of the current which flows in MI (117). In particular, it is possible to generate a voltage value in the Zener circuit DZP (115) which does not allow the current to flow in MI (117). The resistor R1 (116) must typically have a high value and its function is to polarise the DZP circuit (115) and set the floating current source (121) at the potential resulting from the sum of the voltages $HV + V_{(FPS)}$.

During the injection of current into the Gate (102) of the transistor MH (88), the transistor MI (117) acts as a current source, the switch CH1 (119) of the block (122) is open and the transistor M5 (120) does not have any influence on the Gate of MH (88). During the draining of current from the Gate (102) of the transistor MH (88), the value of DZP (115) is adjusted in order to reduce or annul the flow of current in MI (88). The current source (122) referenced to the ground is activated when MH (88) is to be cut off (88). The switch CH1 (119) is turned off and the transistor M5 (120) starts to drain the current from the Door (102) of MH (88), thereby causing it to cut off, as desired.

Lisbon, 28th April 1999